

Compte rendu du TP3

Travail réalisé par :
Mokhles El Benna

Développement d'un système purement logiciel Cas d'un processeur communiquant avec une machine hôte (UART)

Table des matières

Objectif :	3
Manipulation :	3
1- Création d'un nouveau projet :	3
Ajout des fichiers sources :	5
L'ajout d'une nouvelle source :	7

Développement d'un système purement logiciel Cas d'un processeur communiquant avec une machine hôte (UART)

Objectif :

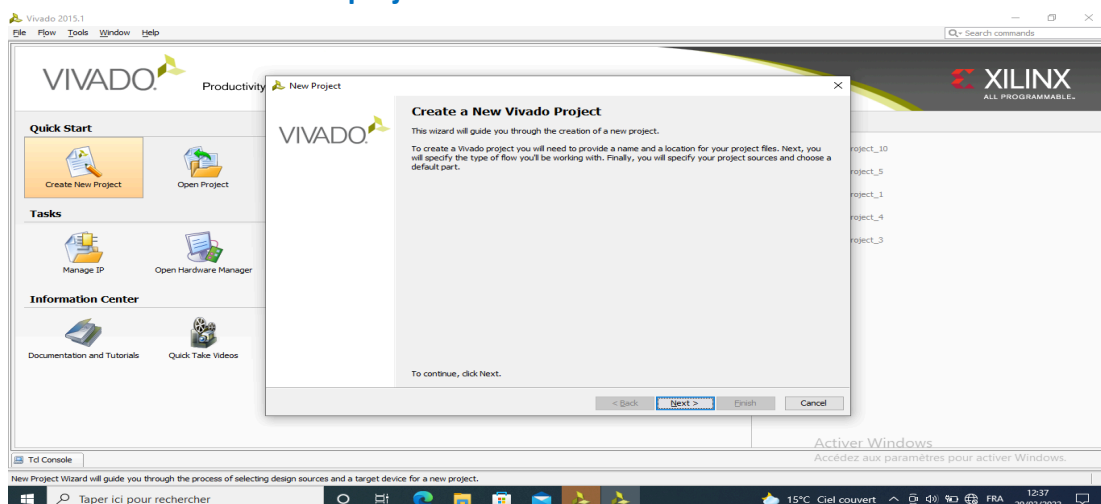
L'objectif de ce tpe est mettre en œuvre une communication entre un soft processeur (ARM Cortex-A9) inclus dans la carte FPGA ZYBOZ7-10 et un HyperTerminal sur une station hôte (PC). La communication est faite à travers un bloc UART instancié dans le FPGA en tant que softIP. Une application élémentaire va s'exécuter sur le processeur ARM Cortex-A9 et les données seront affichées sur le terminal par l'intermédiaire de la liaison RS232.

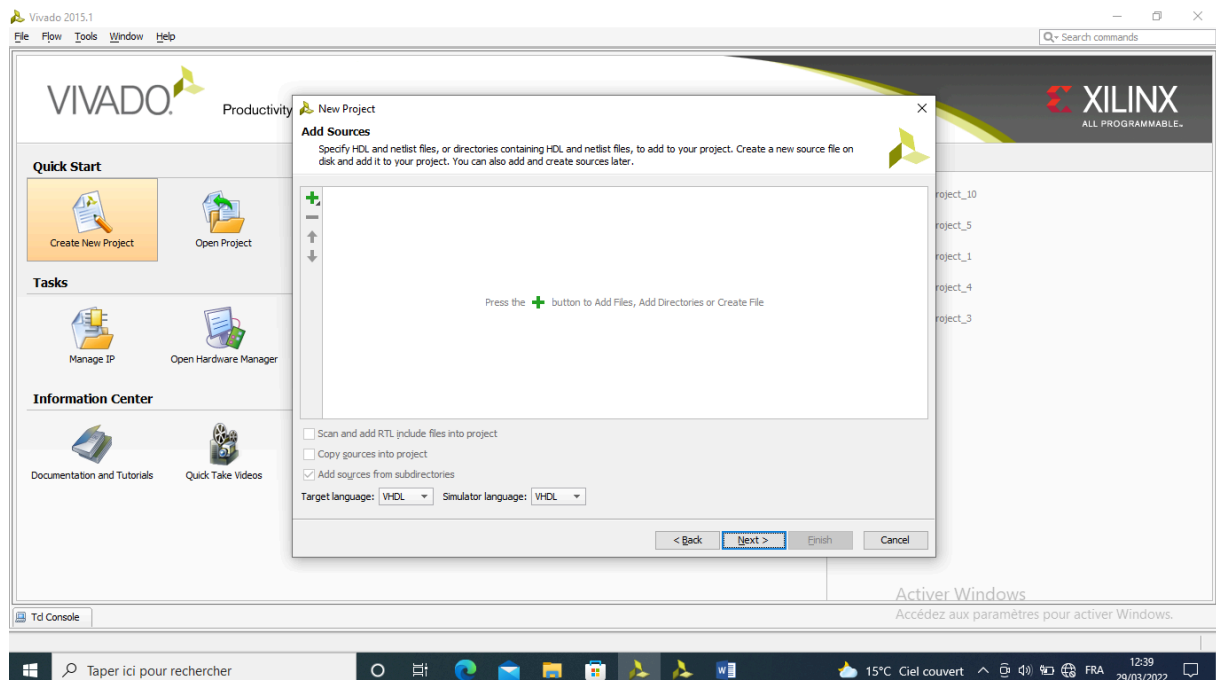
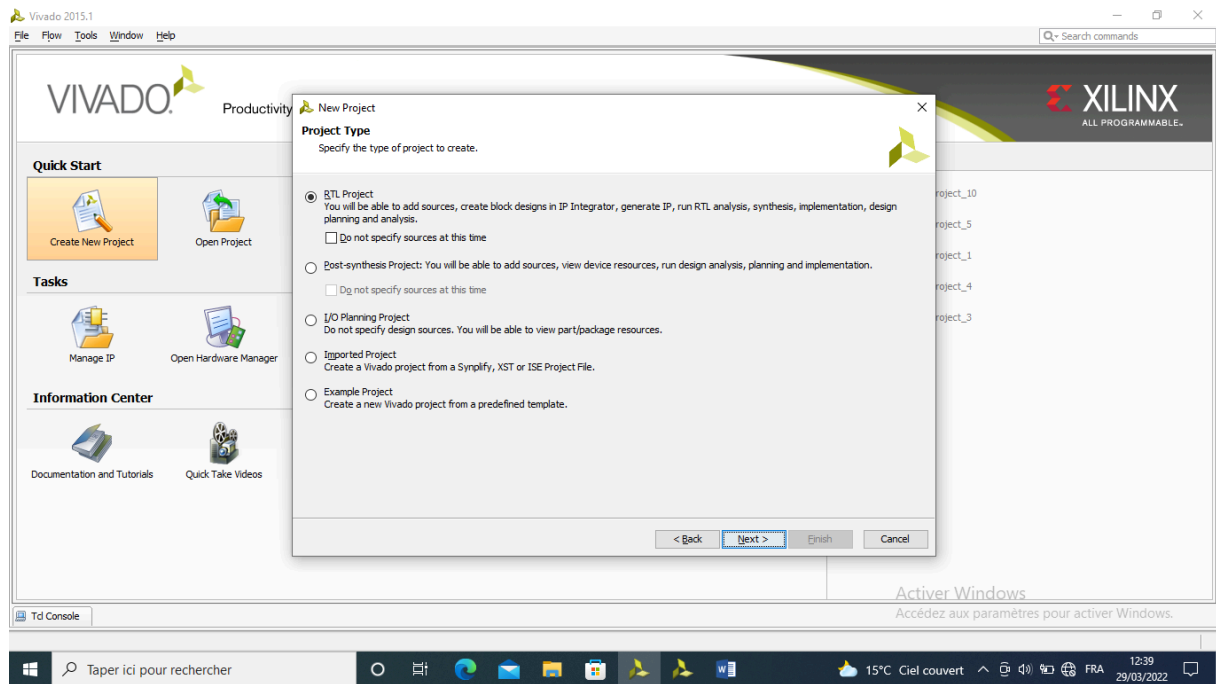
Vous serez en mesure de après la manipulation :

- Créer un projet Vivado pour un système Zynq
- Utilisez IP Integrator pour créer un système matériel
- Utilisez le SDK pour créer un projet de test de mémoire standard
- Exécutez l'application de test sur la carte

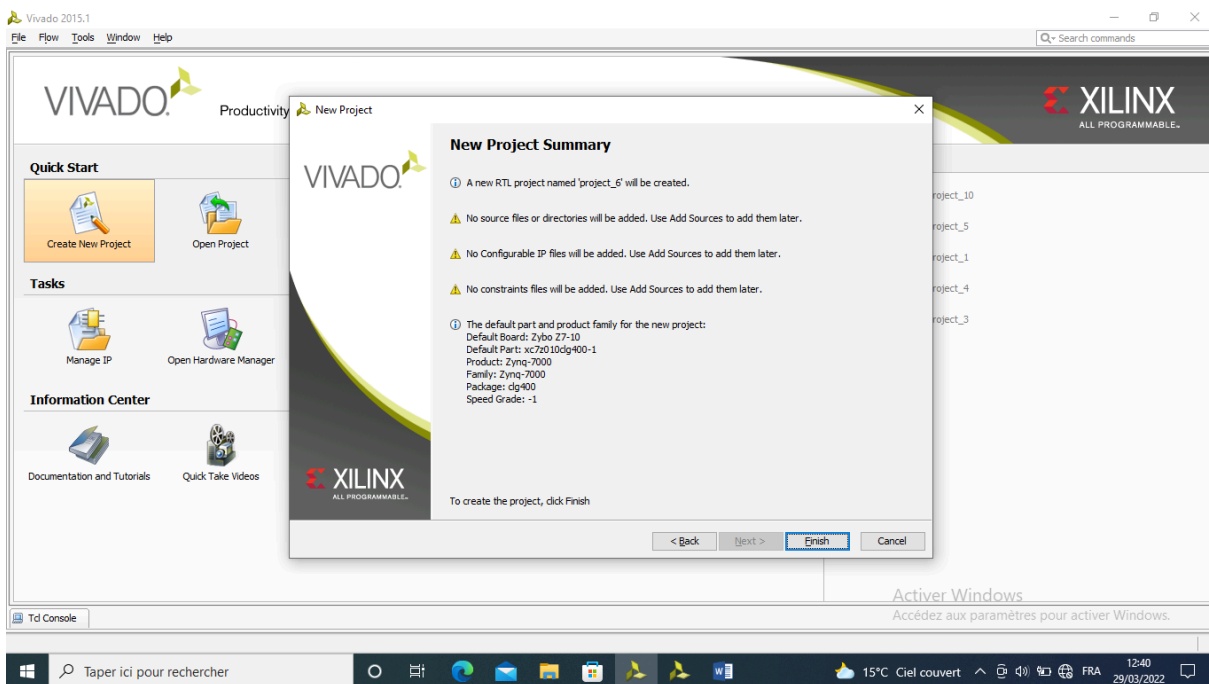
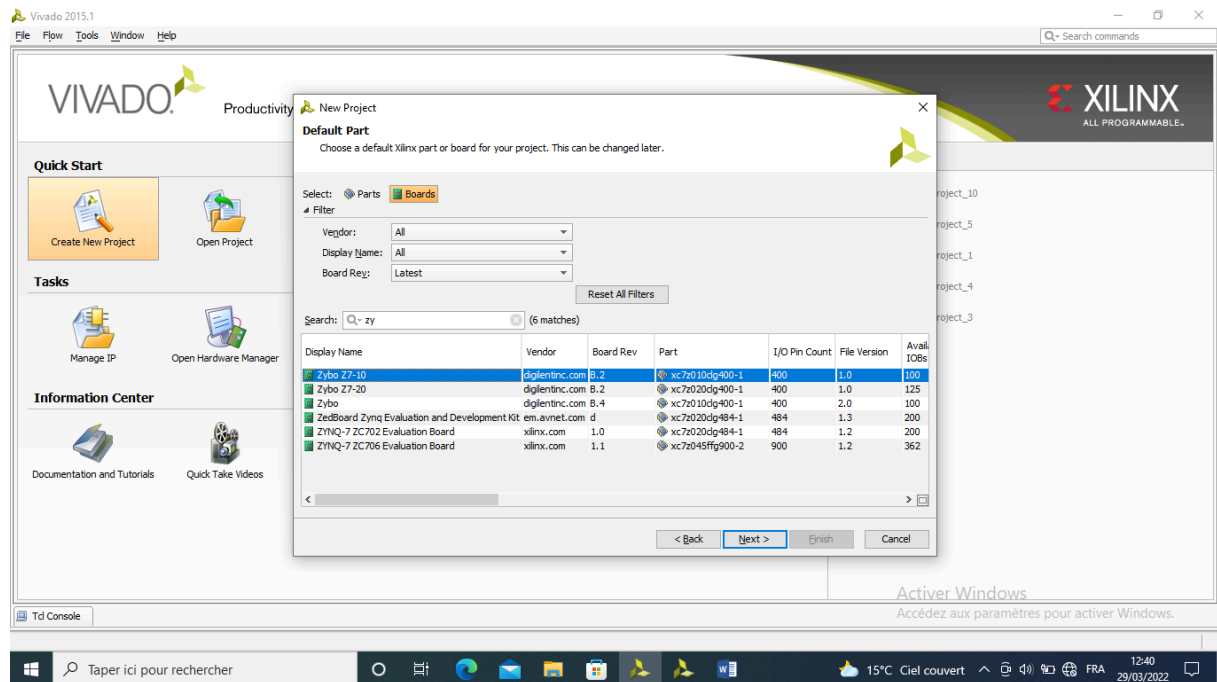
Manipulation :

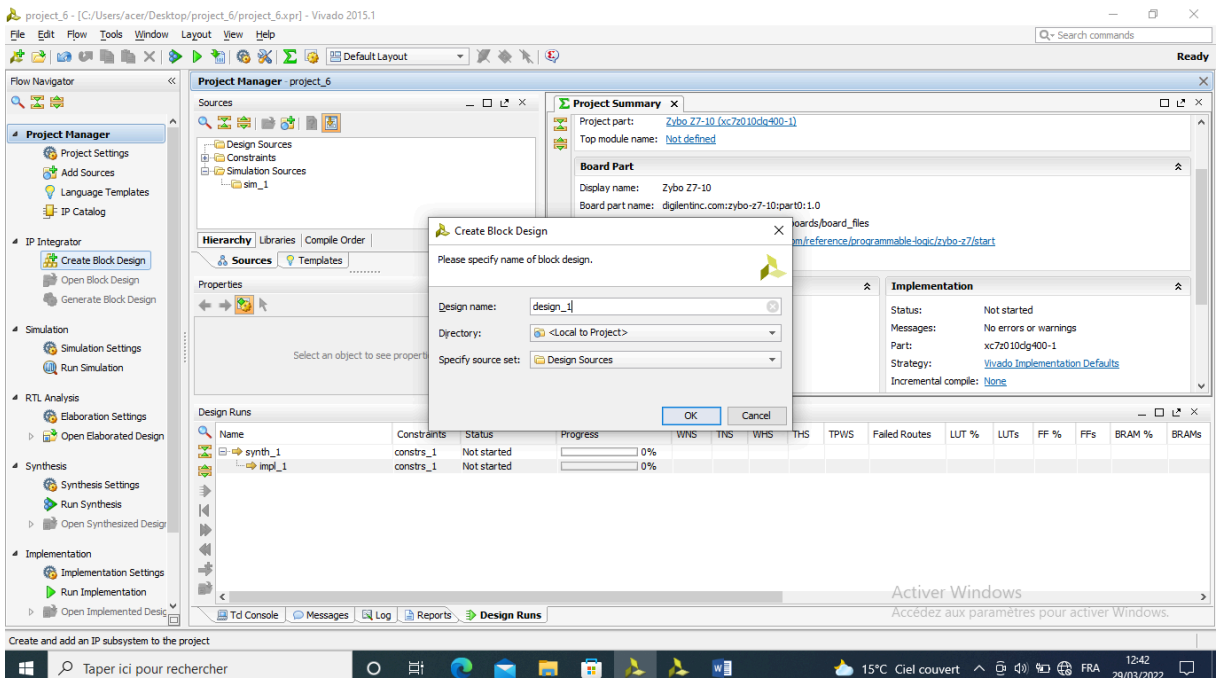
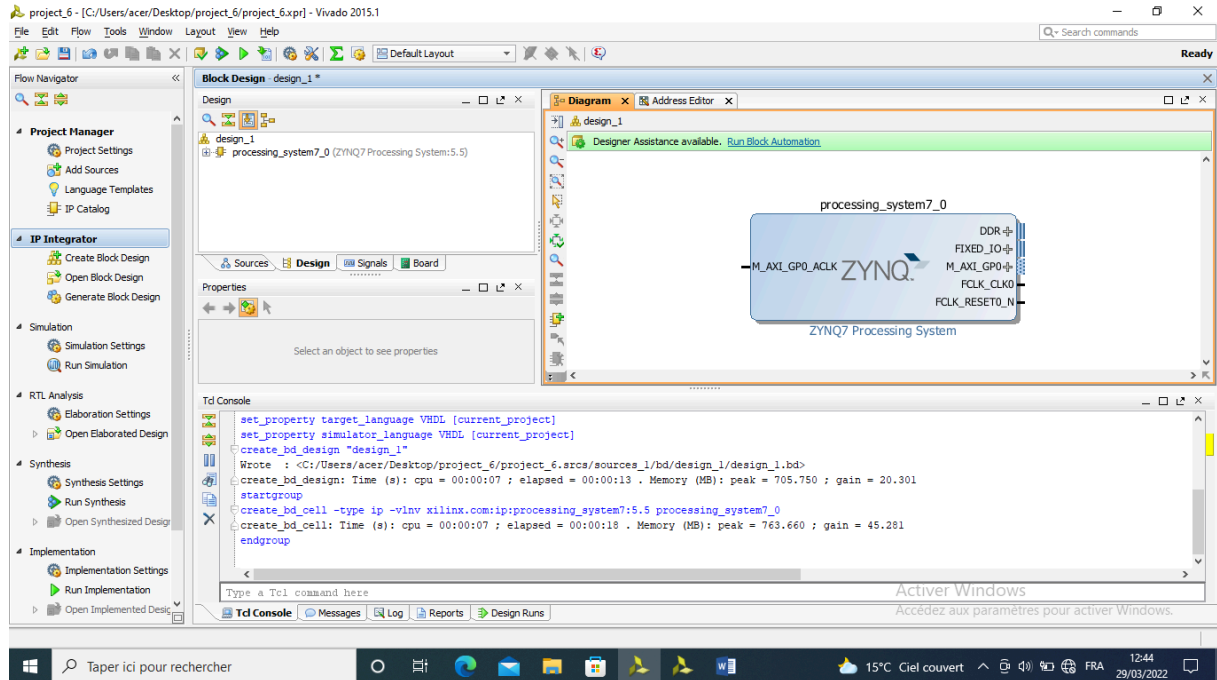
1- Création d'un nouveau projet :

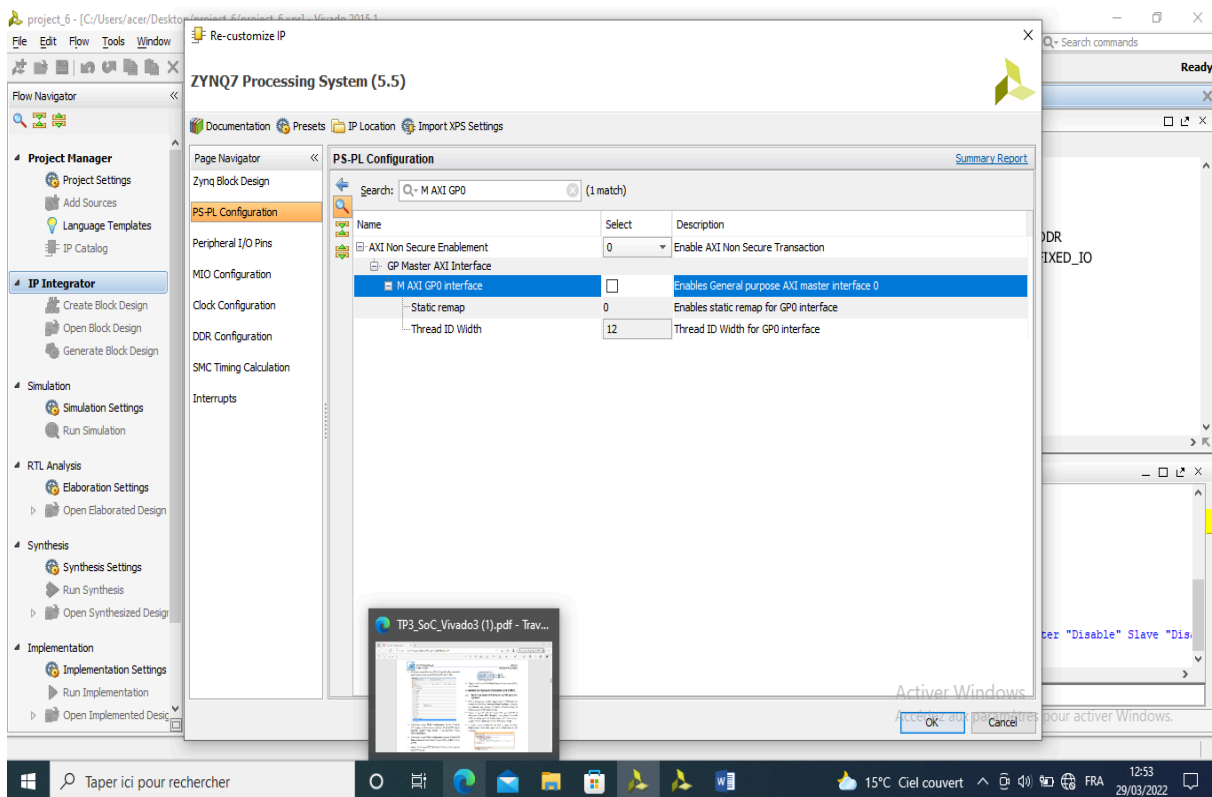
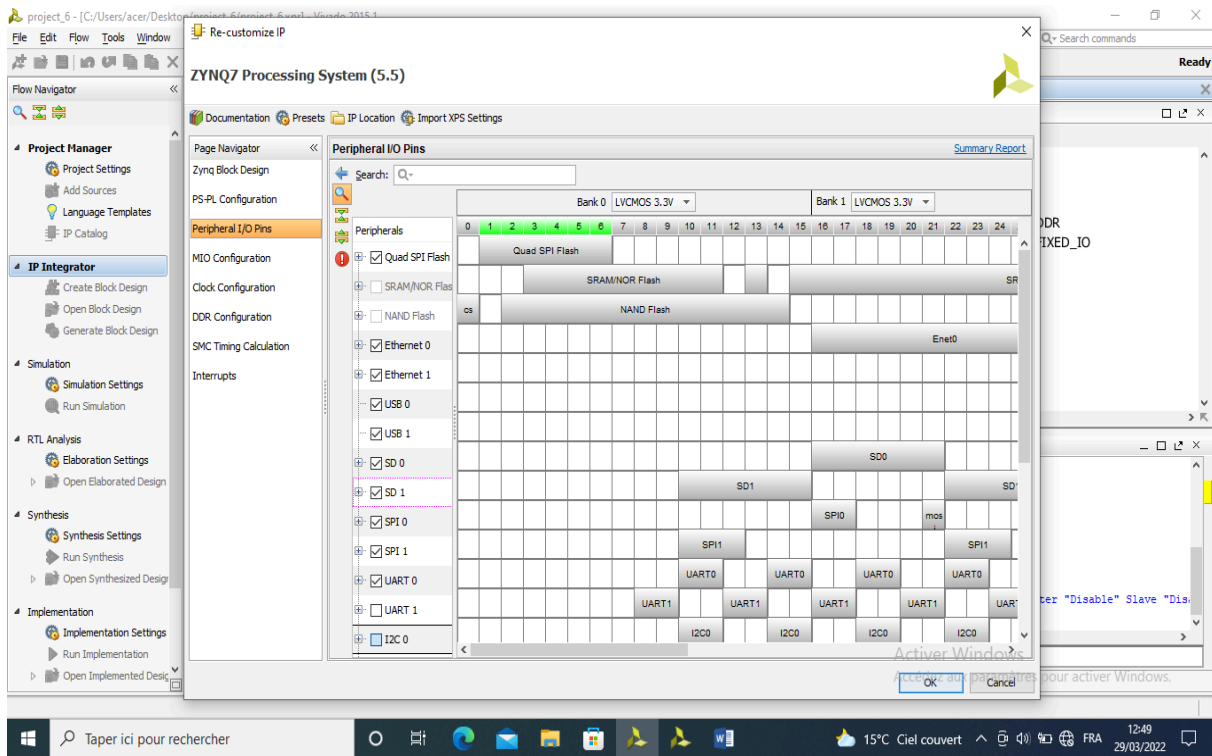


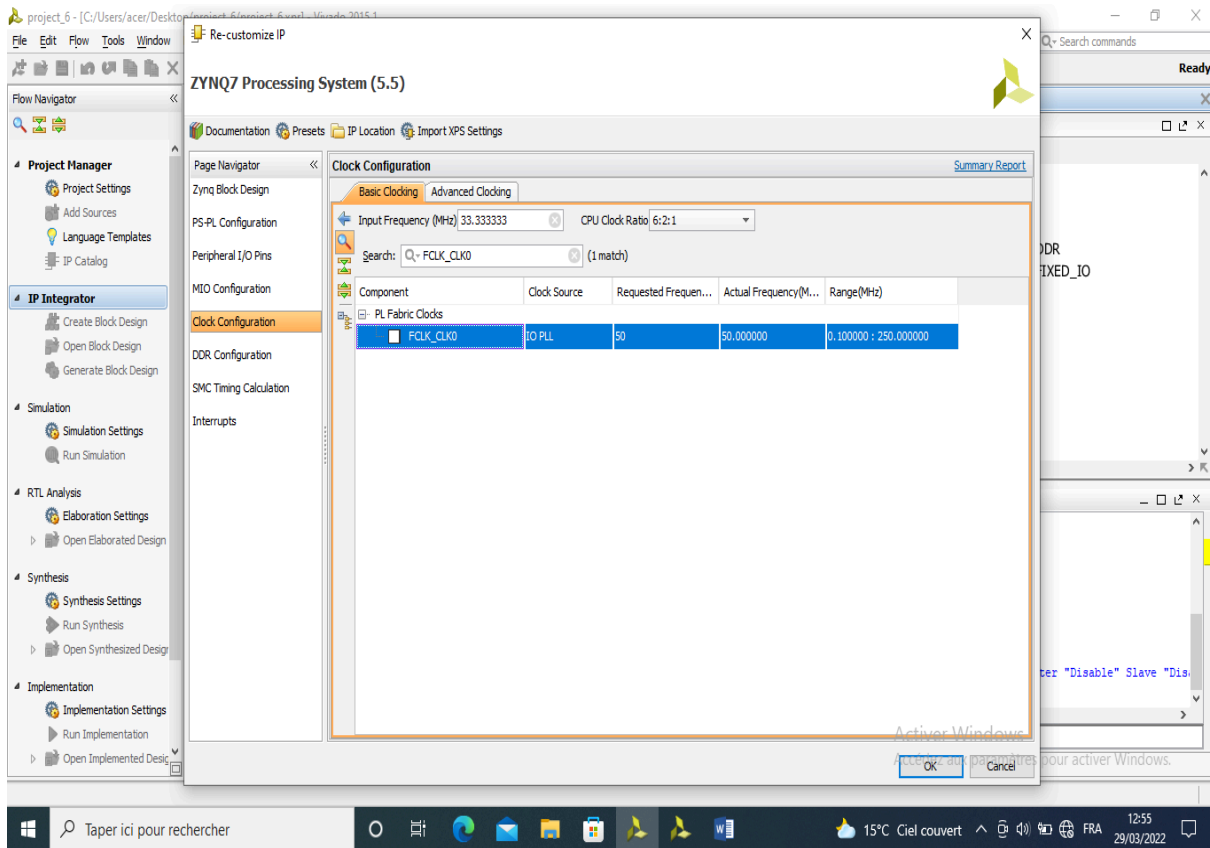


On a vérifié que « VHDL » est le langage sélectionné. Dans la fenêtre suivante, on clique sur le bouton « Boards » puis sur Zybo Z7-10. Par la suite on clique sur « Finish ».

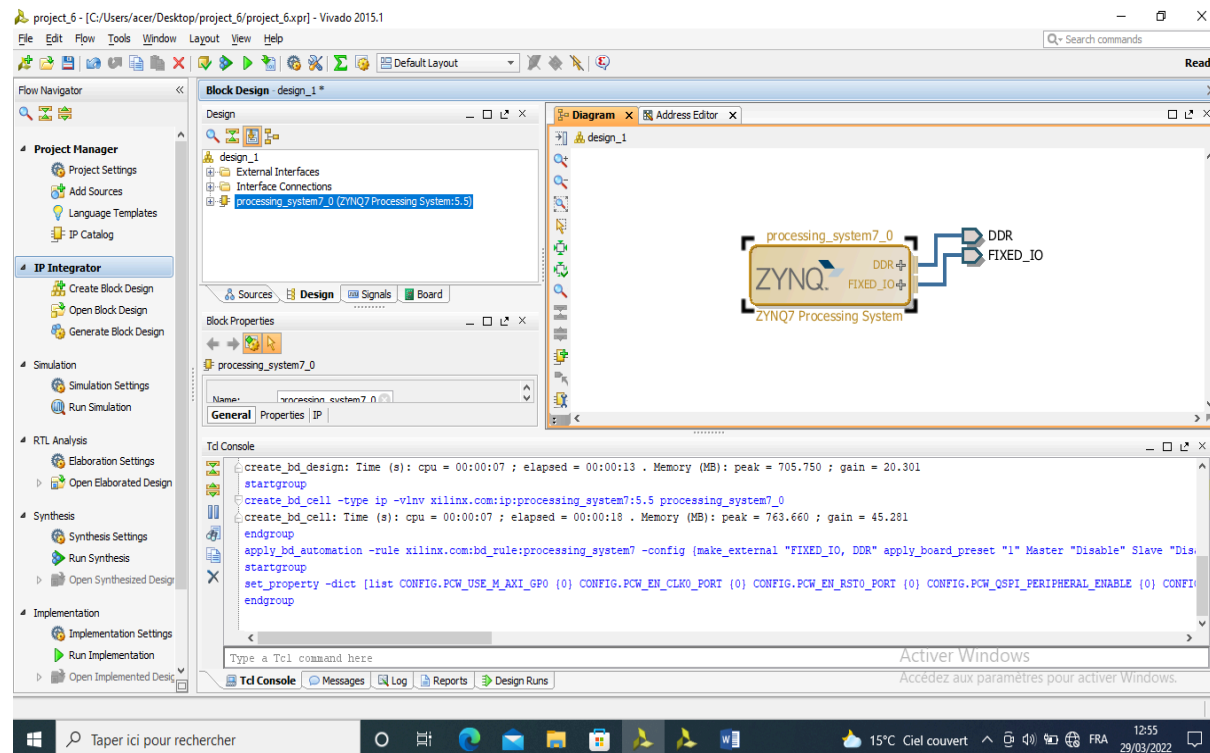






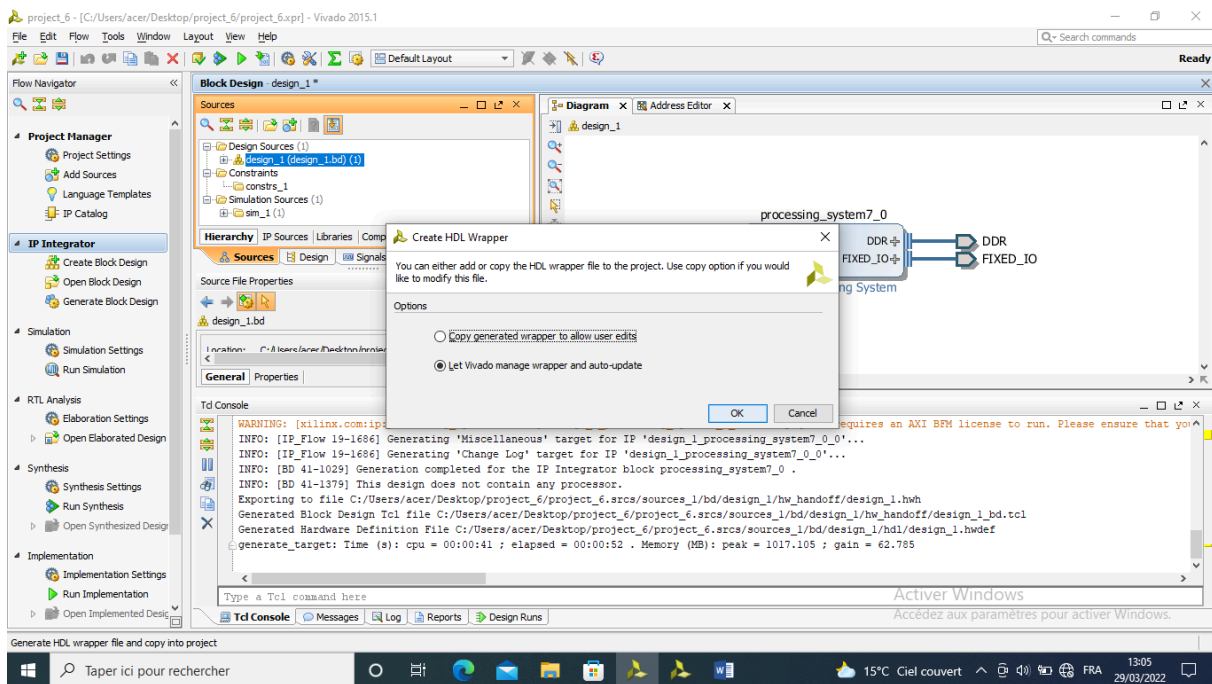
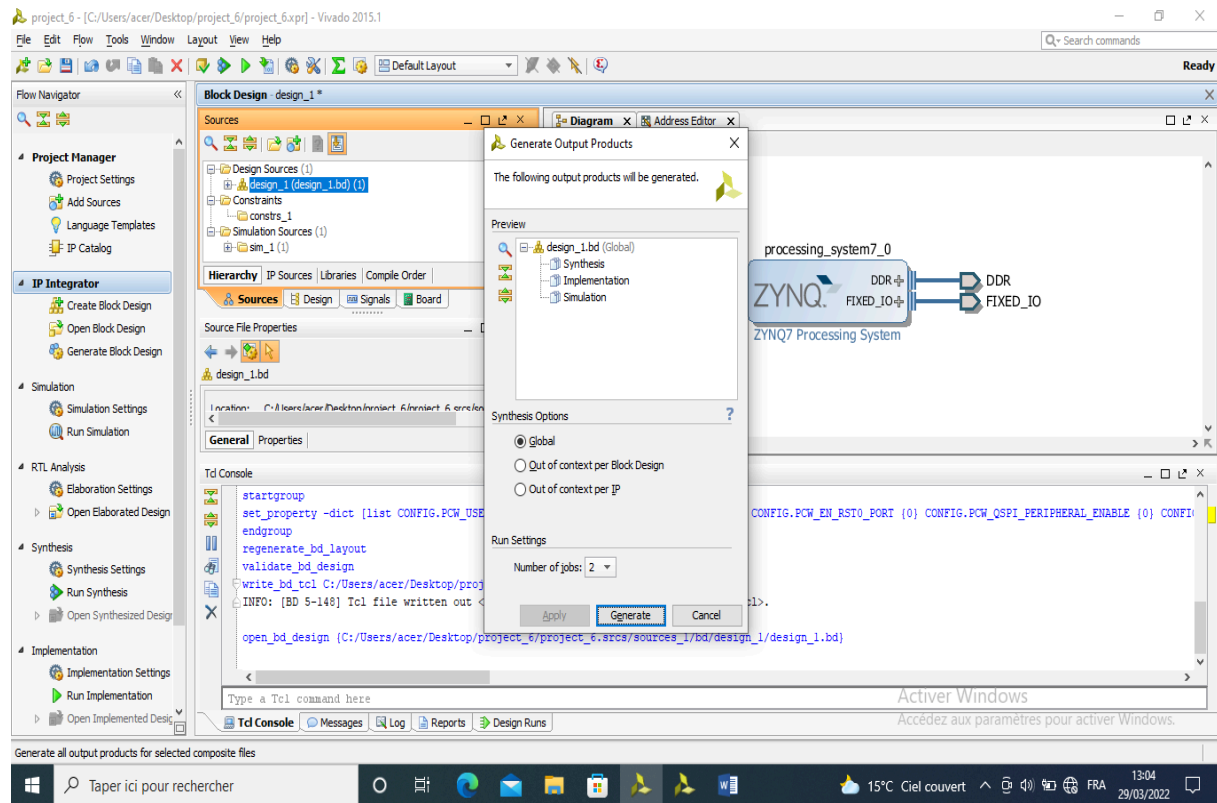


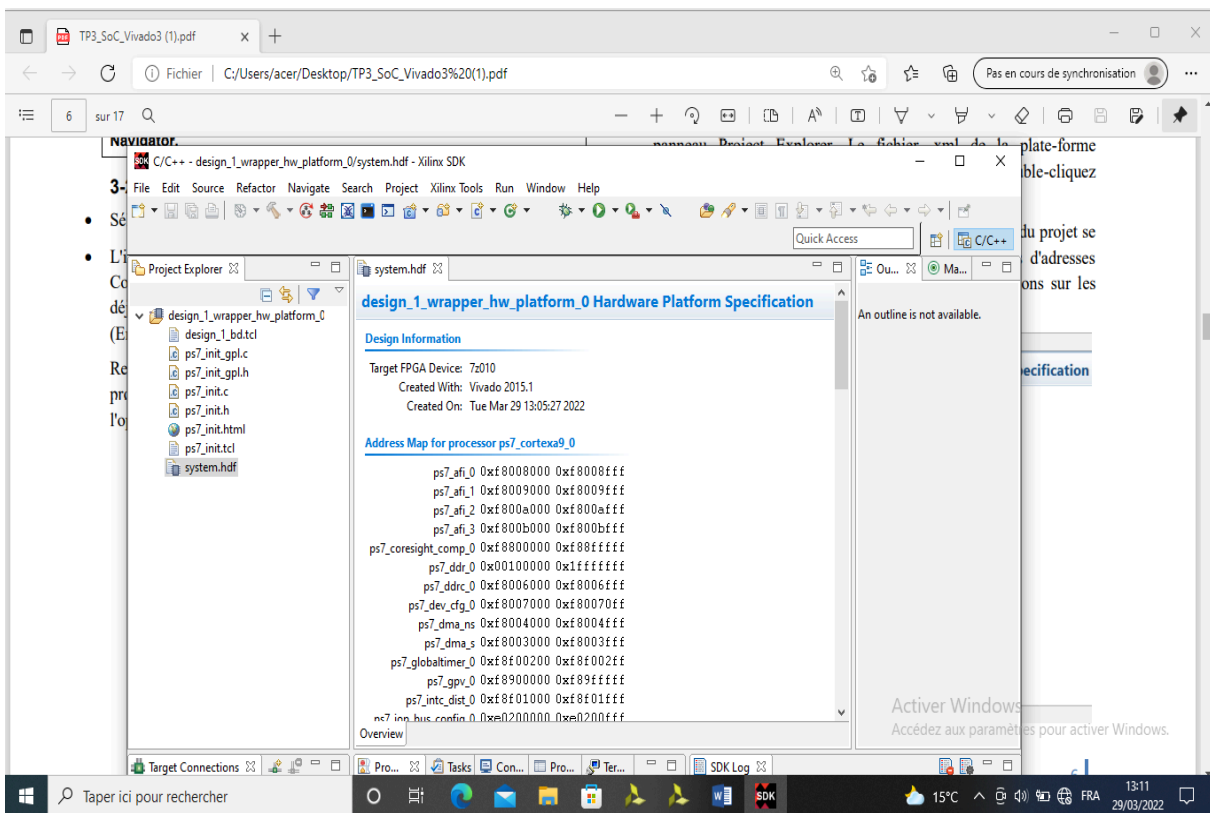
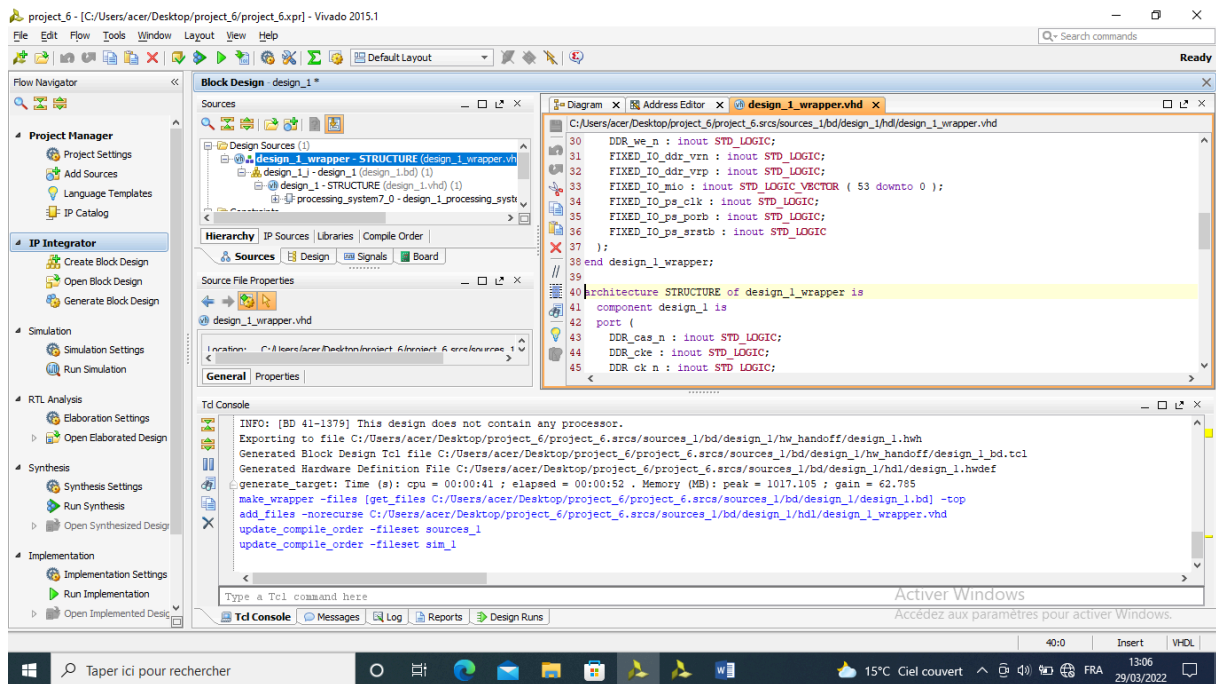
Component	Clock Source	Requested Freq...	Actual Frequency(M...	Range(MHz)
PL Fabric Clocks				
FCLK_CLK0	IO PLL	50	50.000000	0.100000 : 250.000000

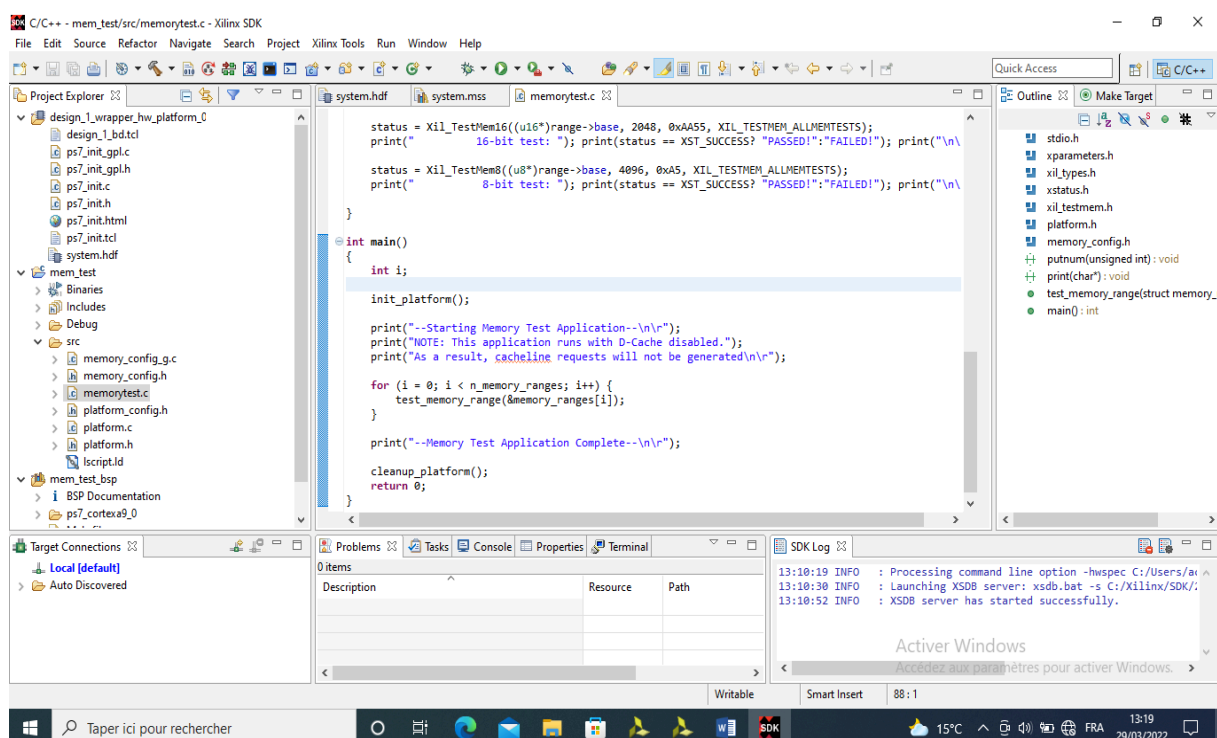
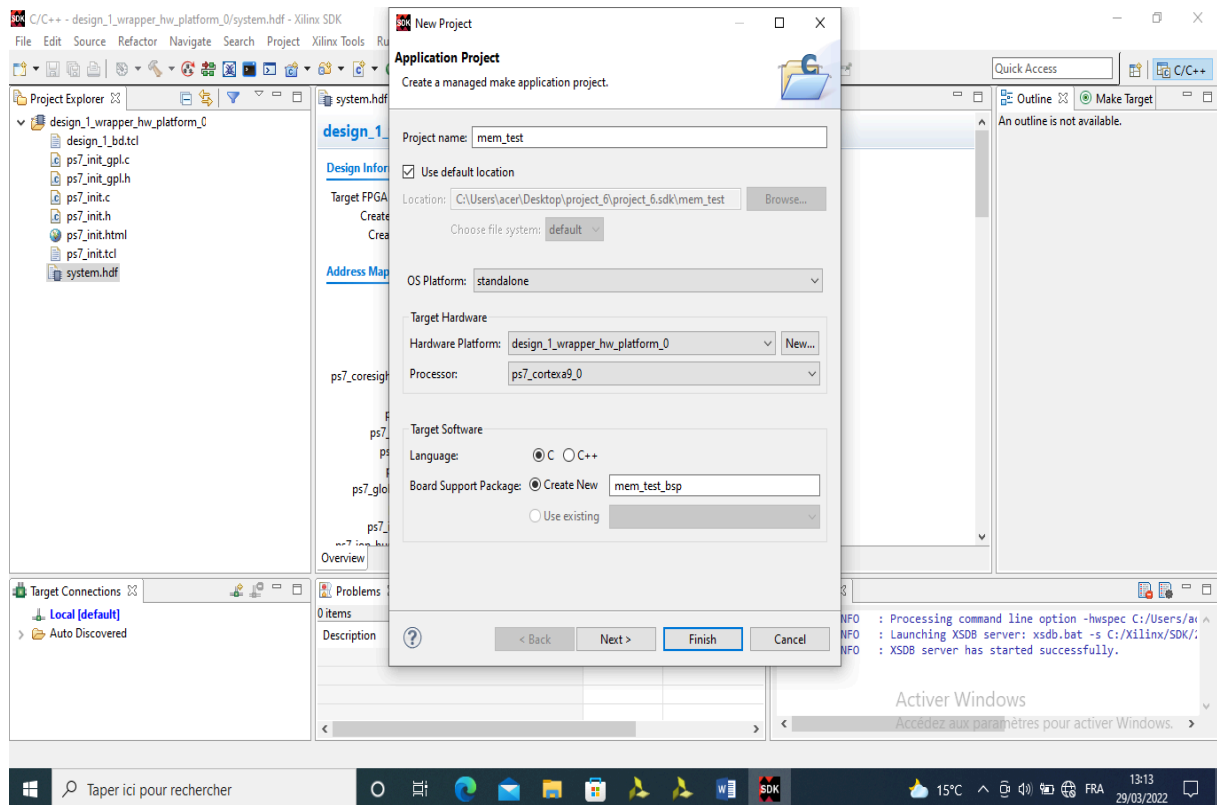


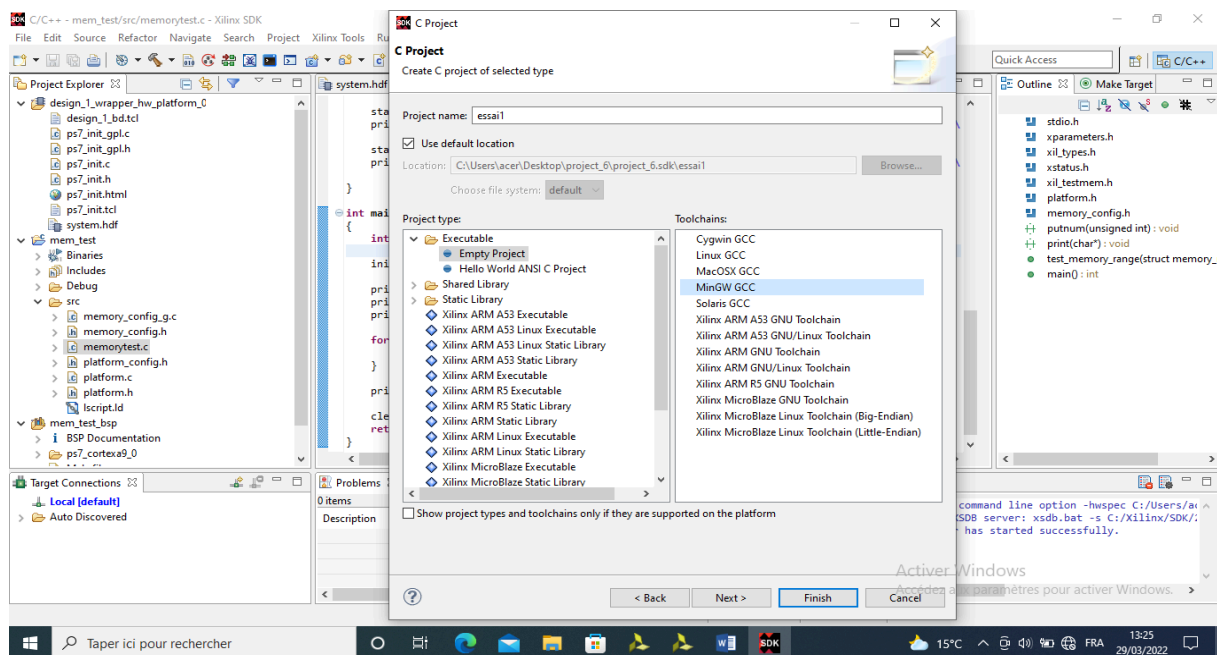
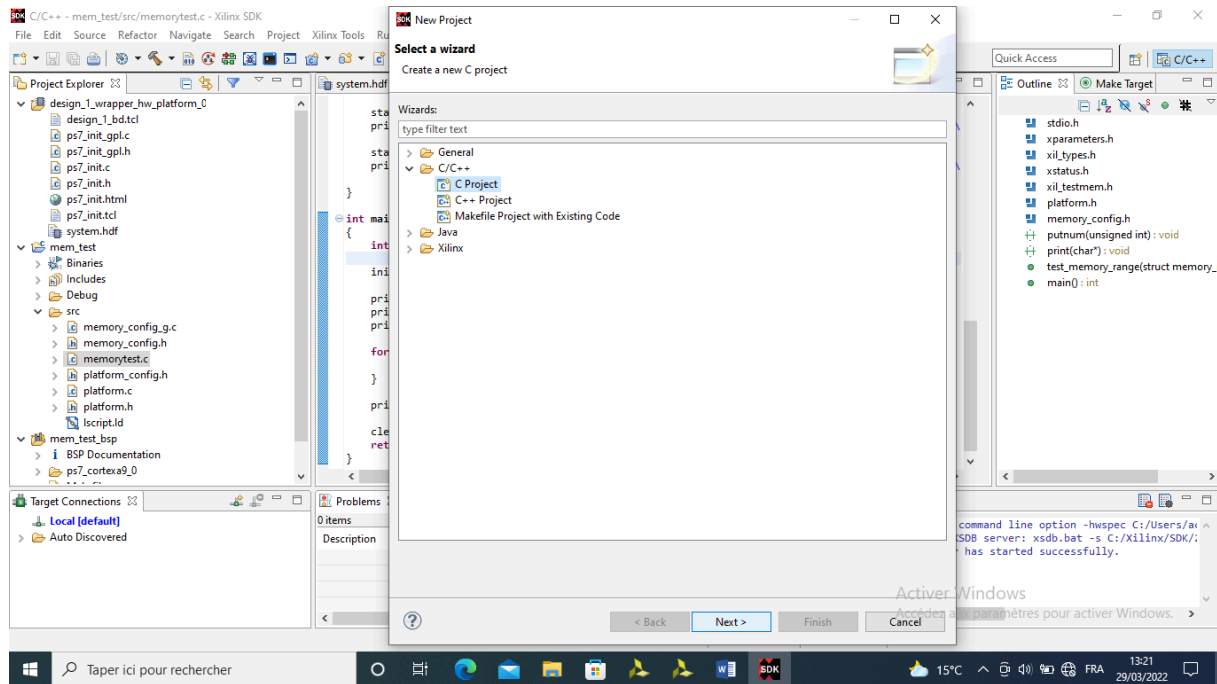
```

create_bd_design: Time (s): cpu = 00:00:07 ; elapsed = 00:00:13 . Memory (MB): peak = 705.750 ; gain = 20.301
startgroup
create_bd_cell -type ip -vlnv xilinx.com:ip:processing_system7:5.5 processing_system7_0
create_bd_cell: Time (s): cpu = 00:00:07 ; elapsed = 00:00:10 . Memory (MB): peak = 763.660 ; gain = 45.281
endgroup
apply_bd_automation -rule xilinx.com:bd_rule:processing_system7 -config {make_external "FIXED_IO, DDR" apply_board_preset "1" Master "Disable" Slave "Dis
startgroup
set_property -dict {list CONFIG.PCW_USE_M_AXI_GP0 {0} CONFIG.PCW_EN_CLK0_PORT {0} CONFIG.PCW_EN_RST0_PORT {0} CONFIG.PCW_OSPF_PERIPHERAL_ENABLE {0} CONF
endgroup
  
```









Université de Sousse

*Institut Supérieure d'informatique
et des techniques de communications*



Université de Sousse

*Institut Supérieure d'informatique
et des techniques de communications*