

```
<div style="text-align: center;"><span style="font-size: medium;"><br /></span></div><div style="text-align: center;">
```

```
<a href="https://vega201024.blogspot.com/p/kembali-ke-menu-sebelumnya-daftar-isi-1_87.html"><span style="font-family: arial; font-size: medium;">[KEMBALI KE MENU SEBELUMNYA]</span></a></div>
```

```
<span style="font-family: arial; font-size: medium;"><br />
```

```
</span><center>
```

```
<div style="background-color: white; border: 2px dashed rgb(23, 128, 221); height: 240px; overflow: auto; padding: 10px; text-align: center; width: 330px;">
```

```
<span style="font-family: arial; font-size: medium;"><b>DAFTAR ISI</b>
```

```
<br />
```

```
<a name="1">
```

```
</a></span><div style="text-align: left;"><span style="font-family: arial; font-size: medium;"><a name="1">
```

```
</a><a href="#2">1. Kondisi</a></span></div>
```

```
<a name="3"><span style="font-family: arial; font-size: medium;">
```

```
</span></a><div style="text-align: left;"><span style="font-family: arial; font-size: medium;"><a name="3">
```

```
</a><a href="#4">2. Gambar Rangkaian Simulasi</a></span></div>
```

```
<a name="5"><span style="font-family: arial; font-size: medium;">
```

```
</span></a><div style="text-align: left;"><span style="font-family: arial; font-size: medium;"><a name="5">
```

```
</a><a href="#6">3. Video Simulasi</a></span></div>
```

```
<a name="7"><span style="font-family: arial; font-size: medium;">
```

```
</span></a><div style="text-align: left;"><span style="font-family: arial; font-size: medium;"><a name="7">
```

```
</a><a href="#8">4. Prinsip Kerja</a><br />
```

```
<a name="9">
```


</div></div><div>4. Prinsip Kerja Rangkaian[Back]</div><div>
</div><div>Percobaan 2 kondisi 5</div><div>
</div><div style="text-align: justify;">Pada rangkaian diperoleh masukan asinkron Set (B1) dan Reset (B0), dan pada pin Clock adalah aktif rendah. Artinya suatu keadaan input rendah atau "0" pada pin Set akan membuat flip-flop dalam mode operasi Set (output Q berlogika "1") dan suatu keadaan input rendah atau "0" pada pin Reset akan membuat flip-flop dalam mode operasi Reset (output Q berlogika "0"). Kondisi pada modul yaitu asinkron Reset. Sehingga pada saat input B0 atau Reset berlogika "0" dan B1 atau Set berlogika "1", maka output Q akan berlogika "0" dan Q Not akan berlogika "1", sehingga input pada kaki J, K, dan Clock akan diabaikan karena outputnya tidak akan berubah walaupun input J, K, dan Clock berubah-ubah.</div><div>
</div><div>5. Lik Download[Back]</div><div>
</div><div>Link Download Rangkaian Percobaan 2 Kondisi 5 disini</div><div>Link Download Video modul 2 percobaan 2 kondisi 5 disini</div><div>Link Download HTML disini
</div><div>Link Download Datasheet T-Flip Flop disini</div><div>Link Download Datasheet SW-SPDT disini</div>