BỘ GIÁO DỤC VÀ ĐÀO TẠO

TRƯỜNG ĐẠI HỌC CÔNG NGHỆ KỸ THUẬT TP. HỒ CHÍ MINH

KHOA CƠ KHÍ

BỘ MÔN: CƠ ĐIỆN TỬ

PROJECT CUỐI KÌ

MÔN HỌC IOT

HỆ THỐNG TRẮC NGHIỆM TƯƠNG TÁC SỬ DỤNG BLE VÀ WI-FI

GVHD: TS. BÙI HÀ ĐỨC

SVTH: PHẠM ĐỨC HUY 23134026

NGUYỄN THIỆN NHÂN 23134041

VŨ PHẠM ĐỨC VĂN 23134064

Thành phố Hồ Chí Minh, tháng 10 năm 2026

LỜI CẢM ƠN

Nhóm chúng em xin chân thành cảm ơn TS. Bùi Hà Đức đã hướng dẫn và góp ý trong quá trình thực hiện project. Đề tài tạo cơ hội để nhóm kết hợp kiến thức vi điều khiển, truyền thông không dây, thiết kế mạch điện, thiết kế cơ khí, lập trình web và cơ sở dữ liệu thành một hệ thống có thể kiểm thử từ phần cứng đến phần mềm. Trong quá trình triển khai, nhóm đã học được cách chia bài toán thành các mô-đun, kiểm tra từng đường tín hiệu và đối chiếu dữ liệu giữa thiết bị, server và giao diện. Do giới hạn về thời gian và số lượng mẫu phần cứng, báo cáo cũng nêu rõ các phép thử chưa thực hiện để tiếp tục hoàn thiện sản phẩm.

TÓM TẮT ĐỀ TÀI

Hệ thống cho phép giảng viên chuẩn bị lớp học, môn học, danh sách sinh viên và đề trắc nghiệm trên web. Khi tổ chức thi, câu hỏi được trình chiếu chung; sinh viên dùng thiết bị năm nút để chọn A/B/C/D và nộp bằng nút SUBMIT. Một loại thiết bị dùng nRF52840 giao tiếp Bluetooth Low Energy (BLE) với gateway trên laptop. Loại còn lại dùng ESP32 giao tiếp Wi-Fi trực tiếp với web server. Server xác nhận danh tính bo theo lượt thi, kiểm tra câu đang mở, ghi đáp án vào MySQL, chuyển câu và tính điểm tối đa 10. Sau bài thi, giảng viên xem kết quả từng sinh viên, biểu đồ thống kê và xuất file Excel. Phần cơ khí của project định hướng thiết kế vỏ bằng SolidWorks và in 3D để bảo vệ PCB, bố trí nút và LED thuận tiện thao tác.

Ba phần chính của báo cáo là: (1) Web – giao diện, server, database; (2) PCB – mạch điều khiển nút nhấn và đèn báo; (3) SolidWorks – mô hình vỏ và quy trình in 3D. Trong bản Word, các ô “CHÈN HÌNH” được cố ý để trống cho nhóm bổ sung ảnh chụp giao diện, bản vẽ KiCad, mô hình CAD và sản phẩm in thật.

MỤC LỤC

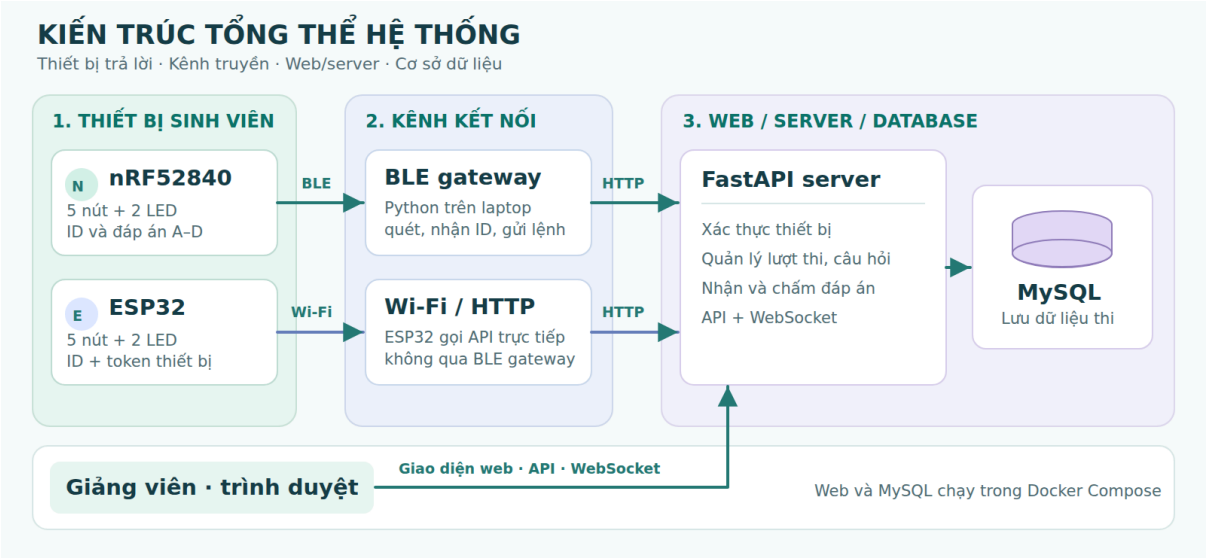
PHẦN I. WEB: GIAO DIỆN, SERVER VÀ DATABASE 5
1.1. Bài toán và yêu cầu hệ thống 5
1.2. Kiến trúc web và các đường truyền thiết bị 6
1.3. Thiết kế giao diện và luồng sử dụng 6
1.4. Server, API và quá trình xử lý bài thi 8
1.5. Thiết kế cơ sở dữ liệu MySQL 10
1.6. Nhập dữ liệu, chấm điểm và xuất kết quả 12
1.7. Kiểm thử, giới hạn và bảo mật 13
PHẦN II. PCB: THIẾT KẾ MẠCH ĐIỀU KHIỂN 14
2.1. Yêu cầu phần cứng và sơ đồ khối 14
2.2. Phân công chân, nút nhấn và LED 15
2.3. Sơ đồ nguyên lý và khối nguồn 16
2.3.1. Thiết kế mạch chống dội nút nhấn bằng bộ lọc RC 17
2.3.2. Thiết kế tụ lọc và ổn định nguồn cấp 18
2.4. Lựa chọn footprint, bố trí linh kiện và kích thước PCB 19
2.5. Đi dây hai mặt, phủ đồng và kiểm tra thiết kế 20
2.6. Lắp ráp, đối chiếu PCB thực tế và quy trình kiểm thử 22
PHẦN III. SOLIDWORKS: THIẾT KẾ VỎ VÀ IN 3D 24
3.1. Mục tiêu và yêu cầu của vỏ 24
3.2. Thu thập kích thước và dựng hình cơ sở 26
3.3. Thiết kế thân, nắp và cơ cấu cố định 27
3.4. Chuẩn bị in 3D 30
3.5. Lắp thử, đánh giá và hoàn thiện 31
KẾT LUẬN 34
TÀI LIỆU THAM KHẢO 35

PHẦN I. WEB: GIAO DIỆN, SERVER VÀ DATABASE

1.1. Bài toán và yêu cầu hệ thống

Trong lớp học, giảng viên cần đồng thời hiển thị câu hỏi cho nhiều sinh viên, biết ai đã trả lời và lưu kết quả theo từng lớp, môn, lần thi. Nếu chỉ lưu đáp án theo mã bo mà không lưu ngữ cảnh bài thi, cùng một thiết bị được đưa sang lớp khác sẽ gây nhầm sinh viên. Vì vậy, thiết kế cần có bước gán bo cho sinh viên tại thời điểm bắt đầu mỗi lượt thi. Mã thiết bị trong hồ sơ chỉ là gợi ý; bảng chốt danh sách thi là nguồn xác định một đáp án thuộc về ai. Cùng một bo có thể dùng lại ở lượt sau nhưng không thể gán cho hai sinh viên trong cùng lượt.

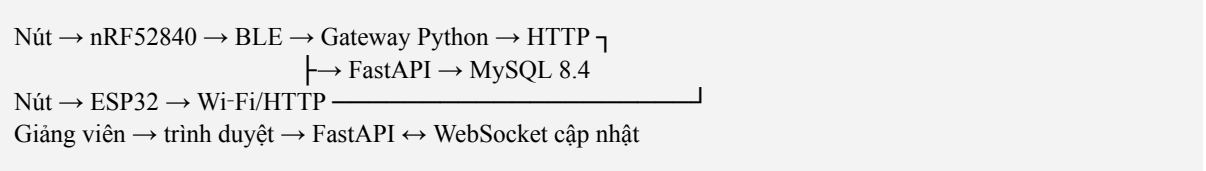
Web phải hỗ trợ tài khoản giảng viên riêng, luồng tạo môn → tạo lớp → thêm sinh viên → tạo đề, trình chiếu từng câu, quan sát kết nối BLE/Wi-Fi, kết thúc hoặc thi lại và xuất điểm. Câu hỏi được nhập bằng văn bản hoặc tài liệu DOCX/PDF có lớp chữ; danh sách sinh viên nhập từ Excel. Về tính nhất quán, hệ thống phải từ chối đáp án của câu cũ, nộp trùng, nộp quá hạn hoặc của bo không thuộc danh sách thi. Kết quả cũ không được đổi khi giảng viên sửa hồ sơ sinh viên sau đó.



Hình 1.1. Sơ đồ tổng thể ba lớp: thiết bị, web/server và MySQL

1.2. Kiến trúc web và các đường truyền thiết bị

Hệ thống dùng ba lớp: thiết bị đầu cuối, lớp xử lý FastAPI và MySQL. Web và MySQL chạy trong Docker Compose. Chương trình ble_gateway.py chạy ngoài Docker trên laptop có bộ điều hợp Bluetooth; nó quét tên BLE_QUIZ_CLIENT, kết nối nRF và chuyển dữ liệu sang API nội bộ. nRF đóng vai trò BLE peripheral/GATT server, còn laptop là BLE central/GATT client. ESP32 không qua gateway: bo tham gia Wi-Fi và gọi API trực tiếp bằng HTTP với token thiết bị. Trình duyệt của giảng viên gọi API theo cookie đăng nhập và nhận thông báo cập nhật qua WebSocket.

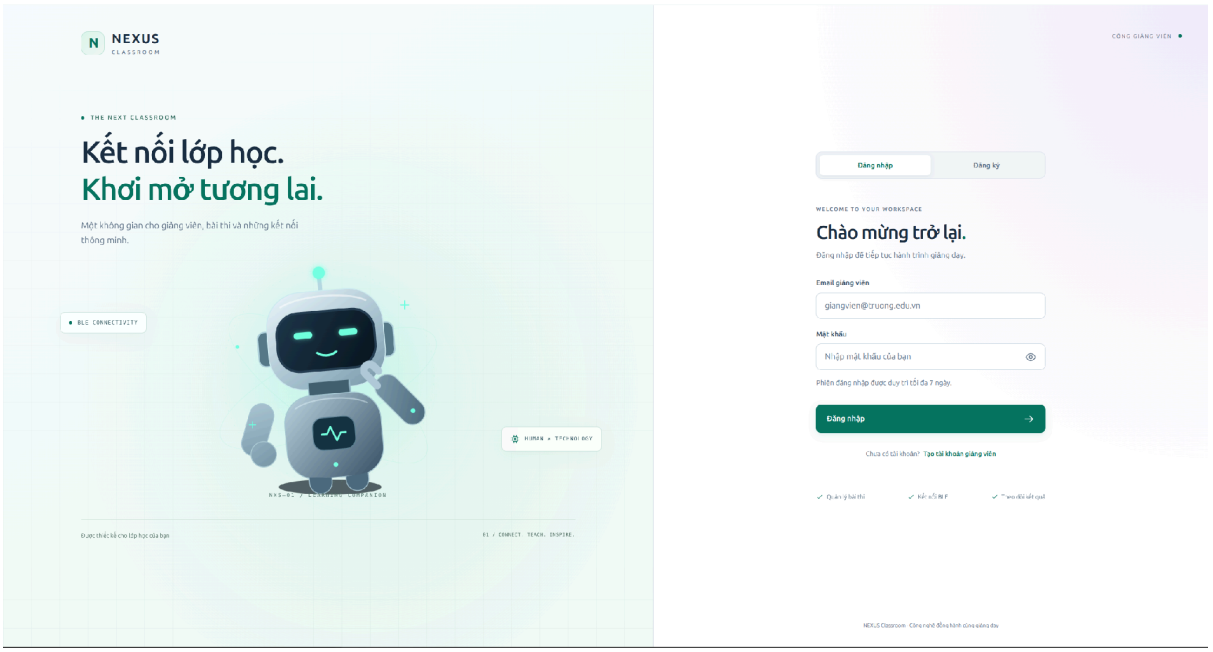


Container web công bố cổng 8000. MySQL bên trong Docker dùng cổng 3306; cổng 3307 chỉ bind trên localhost của laptop. phpMyAdmin được mở trên localhost:8081 để học và kiểm tra SQL. Dữ liệu MySQL được lưu bằng Docker volume, không phụ thuộc vòng đời container web. Nút Wi-Fi/BLE trên giao diện chỉ phản ánh radio của laptop; nó không thay cho chỉ báo bo đã được server xác thực. Tình trạng thiết bị được lấy riêng từ heartbeat và thời điểm tín hiệu cuối.

1.3. Thiết kế giao diện và luồng sử dụng

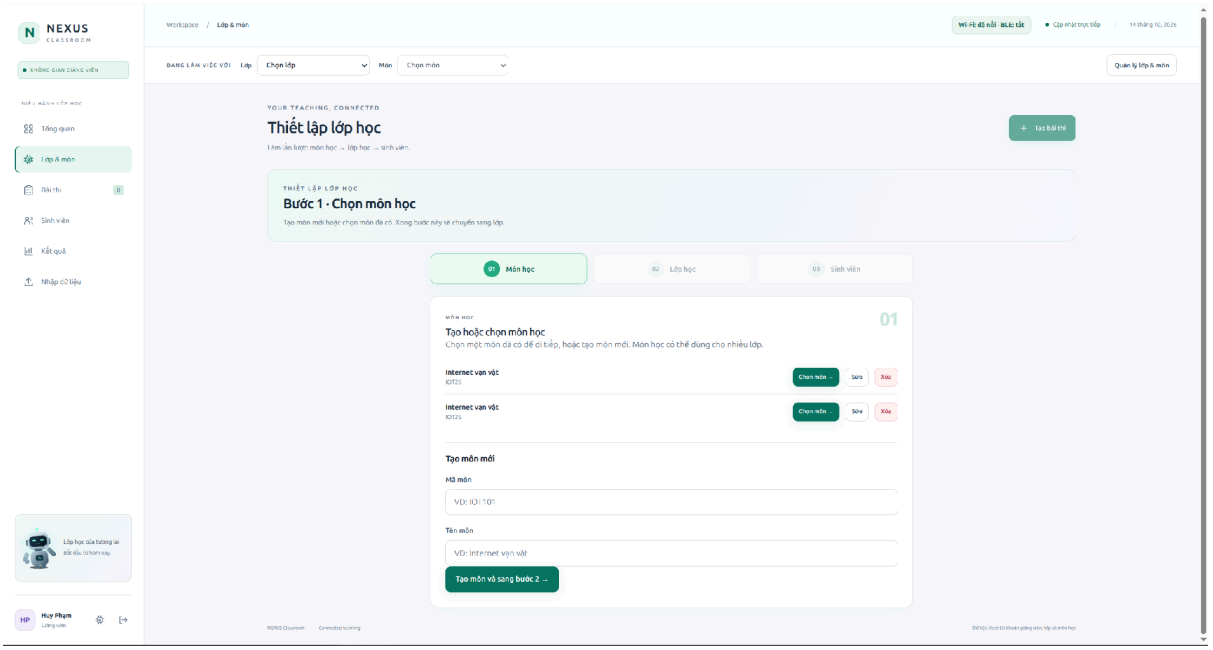
Giao diện sử dụng nền sáng, điểm nhấn xanh, biểu tượng robot và điều hướng từng bước để giảng viên không phải thao tác trên nhiều biểu mẫu lẫn nhau. Sau đăng nhập, giảng viên chọn môn, chọn lớp rồi thêm sinh viên. Với sinh viên, mục Thiết lập cho chọn loại bo nRF52840 hoặc ESP32, sau đó nhập mã phù hợp. ESP32 phải được cấp token một lần và dán token vào firmware; token không nhập trong ô mã bo. Trước mỗi bài thi, hộp Ghép thiết bị yêu cầu xác

nhận lại thiết bị cho từng sinh viên. Đây là bước quan trọng vì việc dùng lại bo giữa các lớp là bình thường.

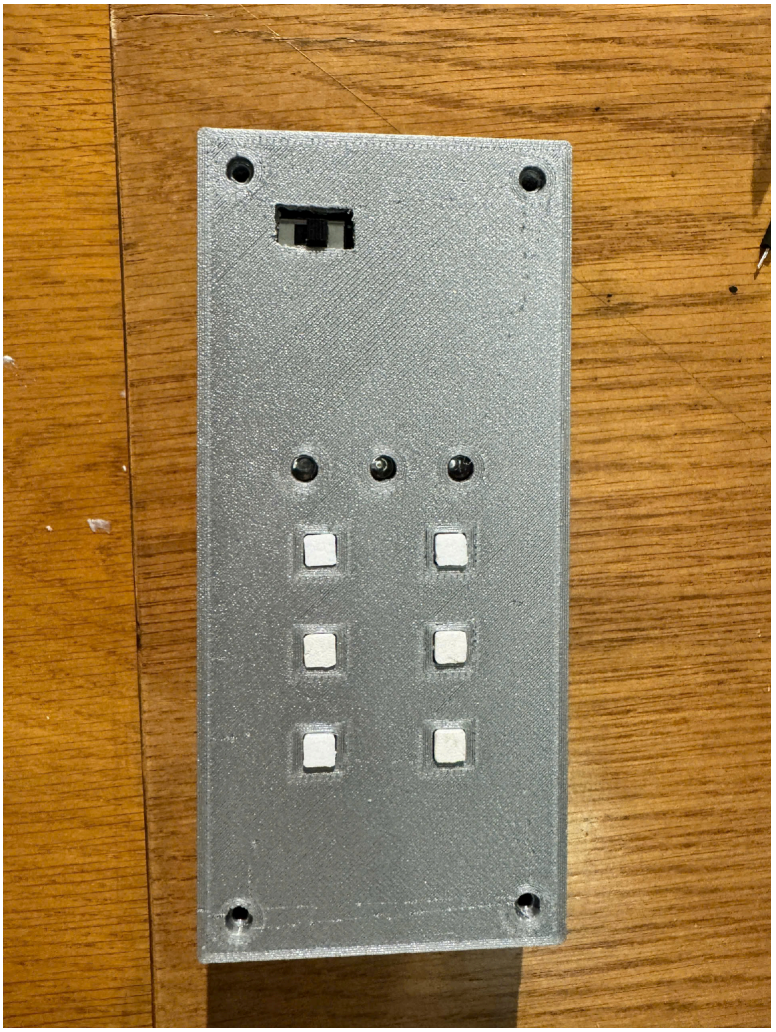


Hình 1.2. Trang đăng nhập và giao diện làm việc của giảng viên

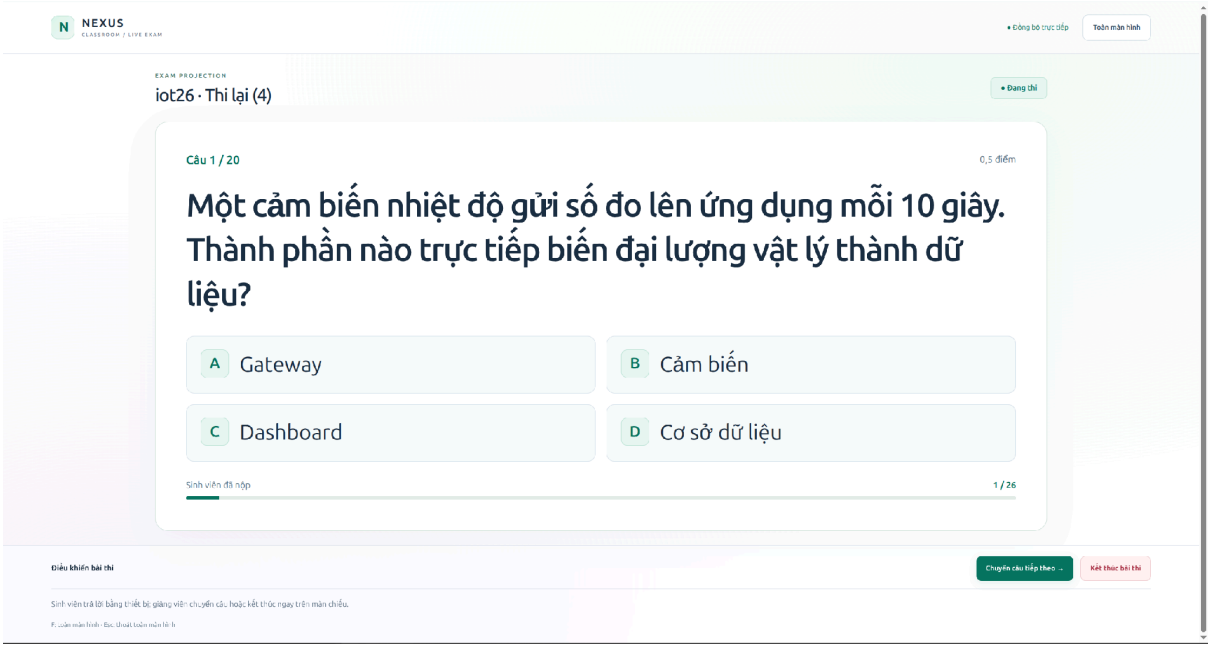
Các mục làm việc gồm lớp–môn, sinh viên, bài thi, kết quả và nhập dữ liệu. Khi bấm bắt đầu, web mở trang trình chiếu. Màn chiếu hiển thị câu hỏi, bốn lựa chọn và tiến độ tổng hợp; không công bố đáp án đúng hoặc điểm cá nhân khi đang thi. Giảng viên có nút chuyển câu, kết thúc bài và xem đồng hồ nếu bật giới hạn thời gian. Nếu còn người chưa nộp, thao tác chuyển câu cần xác nhận. Sau bài thi, giảng viên xem biểu đồ điểm và tải file Excel.



Hình 1.3. Luồng chọn môn, lớp và danh sách sinh viên



Hình 1.4. Hộp thiết bị nRF52840



Hình 1.5. Màn hình trình chiếu và nút điều khiển bài thi

1.4. Server, API và quá trình xử lý bài thi

File app.py khởi tạo FastAPI, kết nối PyMySQL, phục vụ file giao diện và quản lý WebSocket. File authentication.py xử lý tài khoản/phiên. File workspace.py xử lý môn, lớp và quyền sở hữu. File exam_api.py là lõi bài thi: tạo đề, nhập câu hỏi, chốt thiết bị, mở/chuyển câu, nhận đáp án, tính điểm và xuất kết quả. File importers.py phân tích DOCX/PDF và Excel. File radio_api.py cùng file host_radio.py cho phép kiểm tra hoặc bật/tắt radio laptop qua một Unix socket giới hạn lệnh. Các chương trình thiết bị được tách riêng khỏi web container.

Với nRF, khi bo bật nguồn, gateway nhận ID:STUDENT_001, hỏi /api/gateway/authorize và trả ACCEPT hoặc REJECT. Nếu được chấp nhận, LED Connect trên bo sáng ngay cả trước giờ thi. Khi một câu mở, gateway kiểm tra bo có trong danh sách exam_students, gửi NEXT, lưu question_id của câu đó và LED Sent nháy. Các nút A/B/C/D chỉ lưu lựa chọn tạm. Khi bấm SUBMIT, nRF gửi ANS:C chẳng hạn. Gateway gọi /api/answers với ID câu đã chốt, mã bo và lựa chọn. Server xác nhận chỉ khi bài/câu còn mở, chưa hết hạn, mã bo thuộc đúng sinh viên và chưa nộp lần nào. Nếu ghi database thành công, gateway gửi ACK, LED Sent tắt. ACK là xác nhận lưu, không phải thông báo đúng/sai.

ESP32 dùng X-Device-Token thay vì gateway key. Bo gọi /api/device/ping, hỏi /api/device/current, gửi /api/device/presence và nộp qua /api/device/answers. Dù đường truyền khác, server dùng cùng điều kiện chấm và cùng danh sách đã chốt. Token ESP32 được lưu dưới dạng hash trong MySQL. Gateway dùng X-Gateway-Key trong .env; hai loại khóa không được nhầm với mã thiết bị hiển thị trên web.

```
Nháp → Bắt đầu → Câu 1 mở → Nộp / hết giờ / giảng viên chuyển
    → Câu kế tiếp → ... → Kết thúc → Tính điểm và xuất Excel
```

Khi tất cả sinh viên trong lượt đã nộp, server tự chuyển câu. Nếu lớp có nhiều sinh viên nhưng chỉ thử một vài bo, giảng viên chuyển bằng nút trên màn chiếu. Với câu có hẹn giờ, hạn chót được lưu phía server; đồng hồ ở trình duyệt chỉ hiển thị. Bài thi kết thúc khi hết câu hoặc khi giảng viên bấm kết thúc. Lượt thi lại được tạo thành bài nháp mới sao chép câu hỏi, không ghi đè đáp án lần cũ.



Hình 1.6. Lưu đồ ID → ACCEPT → NEXT → ANS → ACK của nRF

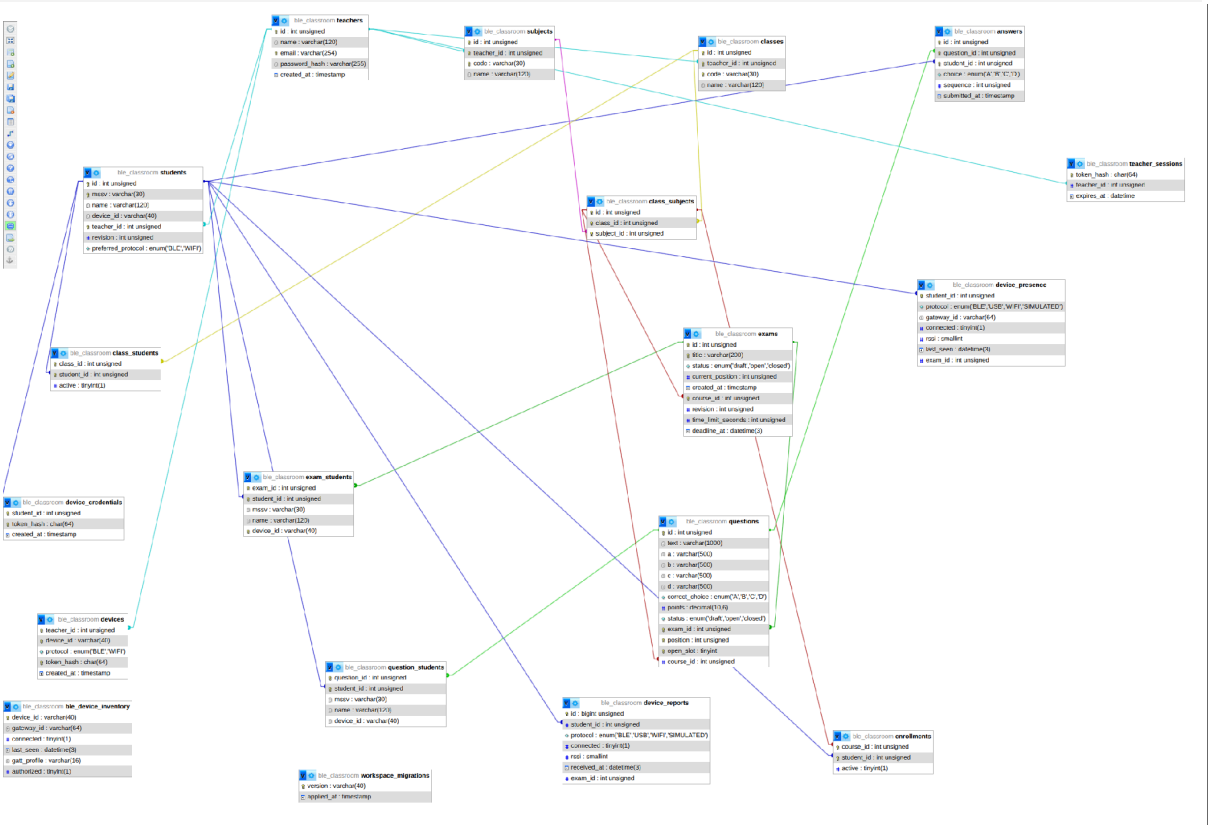
1.5. Thiết kế cơ sở dữ liệu MySQL

Database hiện có 19 bảng. teachers và teacher_sessions quản lý tài khoản; subjects, classes, class_subjects, students, class_students, enrollments quản lý lớp và môn. exams

lưu trạng thái bài thi, questions lưu câu hỏi và đáp án đúng, exam_students chốt sinh viên cùng mã bo ở lượt thi, answers lưu lựa chọn đã nộp. devices là danh mục mã bo và giao thức; ble_device_inventory, device_presence, device_reports phục vụ theo dõi thiết bị. Các bảng còn lại phục vụ câu hỏi riêng lẻ, chuyển đổi dữ liệu cũ và đánh dấu migration.

```
teachers
├─ subjects ──────┐
├─ classes ─── class_subjects ─── exams ─── questions ─── answers
│   └─ class_students          └─ exam_students
├─ students ─── enrollments ──────────────────────────┘
└─ devices

Trạng thái: ble_device_inventory, device_presence, device_reports
```



Hình 1.7. Sơ đồ ERD các bảng MySQL chính

Hai ràng buộc đặc biệt bảo vệ kết quả. UNIQUE(exam_id, device_id) ở exam_students ngăn một bo thuộc hai sinh viên trong cùng bài. UNIQUE(question_id, student_id) ở answers ngăn sinh viên nộp hai lần một câu. questions dùng chỉ mục để chỉ có một câu ở trạng thái mở trên toàn hệ thống.

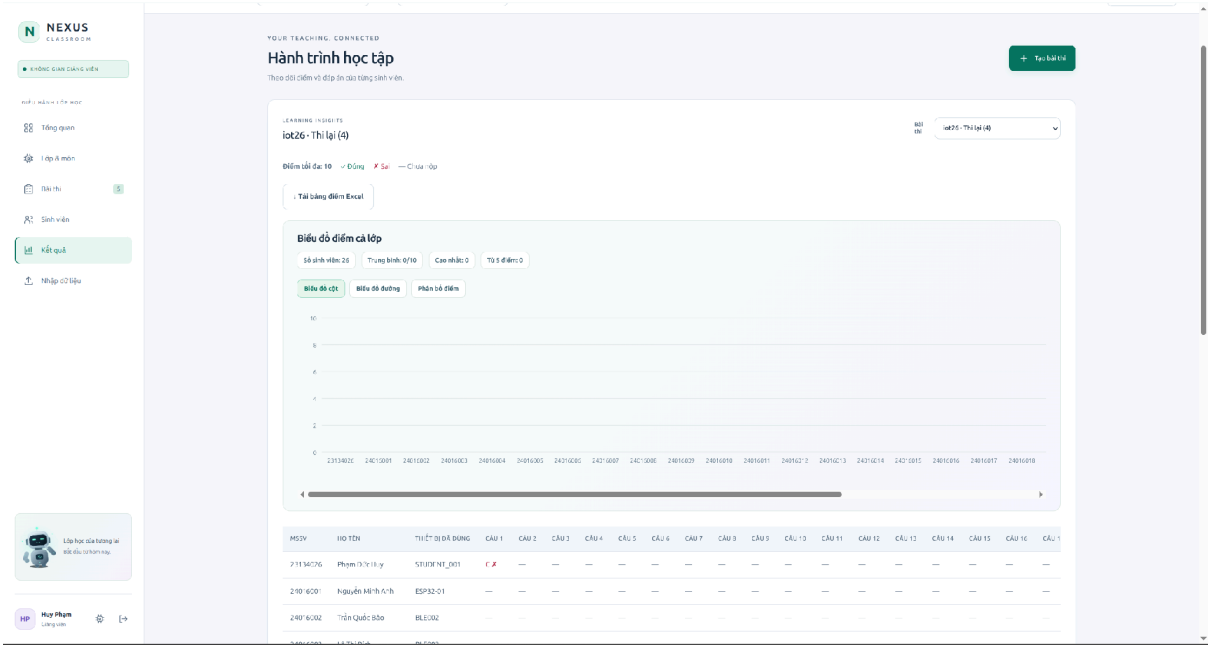
Khóa ngoại giữ quan hệ giữa giảng viên, lớp, đề, sinh viên và phiếu trả lời. Khi đổi hồ sơ sinh viên, tên và MSSV đã chốt trong exam_students vẫn phục vụ kết quả lịch sử.

Bảng	Vai trò	Ràng buộc quan trọng
exams	Lượt thi, thời gian/câu, trạng thái	Tên đề duy nhất trong lớp–môn
questions	Nội dung, A–D, đáp án, điểm	Một câu mở trên toàn hệ thống
exam_students	Gán sinh viên với mã bo	Một mã bo cho một sinh viên/lượt
answers	Lựa chọn đã nộp	Một đáp án/sinh viên/câu
devices	Mã bo và BLE/Wi-Fi	Token ESP32 chỉ lưu dạng hash

1.6. Nhập dữ liệu, chấm điểm và xuất kết quả

Bộ câu hỏi DOCX hoặc PDF có lớp chữ được nhận diện theo mẫu “Câu 1”, “A.” đến “D.” và “Đáp án: B”. Hệ thống cũng đọc bảng đáp án ở cuối tài liệu. Câu thiếu lựa chọn hoặc đáp án được báo lỗi trước khi ghi vào MySQL. PDF scan chỉ có ảnh chưa được OCR. File danh sách sinh viên .xlsx cần tối thiểu MSSV và họ tên; nên định dạng MSSV dạng Text để giữ các số 0 đầu. Mã bo có thể để trống hoặc trùng ở hồ sơ gợi ý, nhưng phải được ghép duy nhất khi bắt đầu thi.

Điểm toàn bài tối đa là 10, chia đều cho số câu đến độ chính xác 0,000001. Ví dụ 20 câu thì mỗi câu 0,5 điểm. Server so sánh lựa chọn đã lưu với đáp án đúng; câu sai hoặc chưa nộp bằng 0. Tổng điểm được tính lại từ questions và answers thay vì lưu một cột điểm tổng cố định. Màn kết quả cho biết sinh viên chọn đáp án nào, đúng/sai, điểm từng câu và điểm tổng; có biểu đồ cột, đường và phân bố. Excel xuất hai sheet: Bảng điểm và Chi tiết câu trả lời.



Hình 1.8. Biểu đồ điểm lớp và nút Xuất điểm Excel

1.7. Kiểm thử, giới hạn và bảo mật

Ngày 14/10/2026, bộ kiểm thử tự động hiện có chạy 29 bài đạt, 1 bài tích hợp được bỏ qua vì chỉ dành cho database thử nghiệm riêng. Một phép thử nRF thực tế ghi nhận trên Serial Selected: C, TX: ANS:C, RX: ACK; gateway ghi BLE <- ANS:C, BLE -> ACK, và bảng answers lưu C cho câu 583. Dữ liệu này xác nhận một đường truyền từ nút nhấn đến MySQL, chưa chứng minh độ ổn định cho nhiều bo cùng lúc. Chưa có số đo độ trễ, tỷ lệ mất gói, RSSI BLE thật hoặc thử nghiệm tải ở lớp đông.

Mật khẩu giảng viên được băm bằng scrypt; các API lớp và đề kiểm tra quyền sở hữu. Dù vậy, BLE hiện chưa có xác thực chống giả mạo mạnh; ESP32 dùng HTTP trong LAN và lưu token thật trong firmware. Vì vậy không dùng nguyên trạng cho kỳ thi chống gian lận cao hoặc đưa API ra Internet. Trước khi đăng GitHub cần xóa mật khẩu Wi-Fi/token thật khỏi sketch ESP32 và thay token đã lộ. Những cải tiến tiếp theo gồm HTTPS/TLS, giám sát nhiều thiết bị, đo chất lượng sóng và kiểm thử trên nhiều bo vật lý.

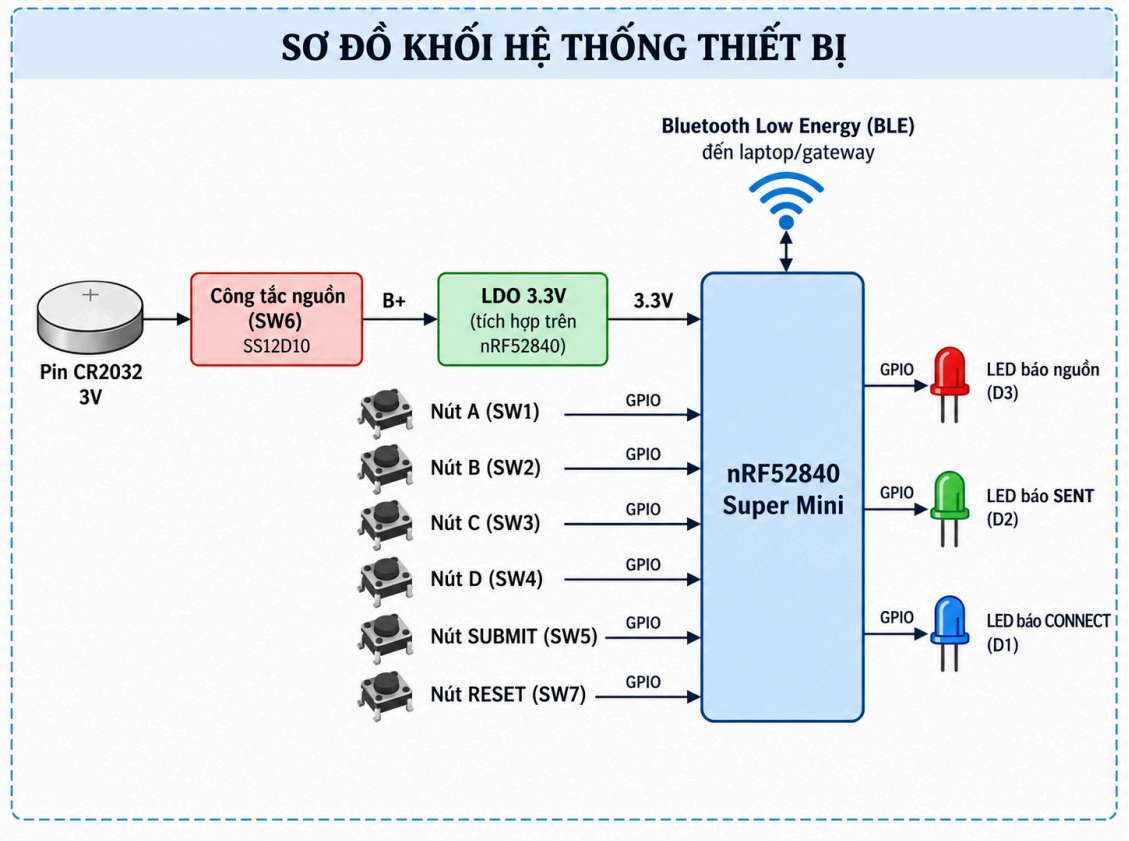
PHẦN II. PCB: THIẾT KẾ MẠCH ĐIỀU KHIỂN

2.1. Yêu cầu phần cứng và sơ đồ khối

Thiết bị trả lời sử dụng module nRF52840 Super Mini kết nối Bluetooth Low Energy (BLE) với gateway trên laptop. Bo mạch phải có bốn nút chọn đáp án A/B/C/D (SW1–SW4), một nút SUBMIT (SW5), một nút RESET (SW7), công tắc nguồn SW6, hai LED trạng thái D1–D2 và LED báo nguồn D3. Nguồn dự kiến lấy từ pin CR2032 qua khay pin BT1; module cắm trên hai socket J1, J2. Mạch được bố trí trên PCB hai lớp, có bốn lỗ bắt vít M3 để lắp vào vỏ bảo vệ. Đây là bo nRF52840 dùng BLE; phương án ESP32 sử dụng Wi-Fi được trình bày riêng ở phần phần mềm, không nằm trên PCB này.

Trong sơ đồ nguyên lý, pin CR2032 đi qua SW6 đến đường B+. Chân B+ và chân VCC của module cần được đối chiếu theo phiên bản Super Mini thực tế trước khi kết luận điện áp làm việc. LED nguồn D3 nối từ B+ qua R8 và về GND, không phải LED được điều khiển bằng GPIO; SW7 nối chân RST xuống GND khi nhấn.

```
Nguồn → nRF52840 → BLE tới laptop
        ↑    ↓
    5 nút    3 LED
```



Hình 2.1. Sơ đồ khối mạch điều khiển nRF52840

2.2. Phân công chân, nút nhấn và LED

PCB sử dụng các tên net BTN_A, BTN_B, BTN_C, BTN_D, BTN_SUB, LED_CONNECT, LED_SENT và RST. Các net nút được nối tới một hàng chân socket J1, còn RESET sử dụng chân RST của J2. Bảng 2.1 được trích từ liên kết pad/net trong file KiCad; thứ tự GPIO mang tên P0.xx/P1.xx phải được xác nhận theo sơ đồ chân của chính module và mã firmware trước khi nạp chương trình.

Bảng 2.1. Liên kết tín hiệu theo sơ đồ PCB

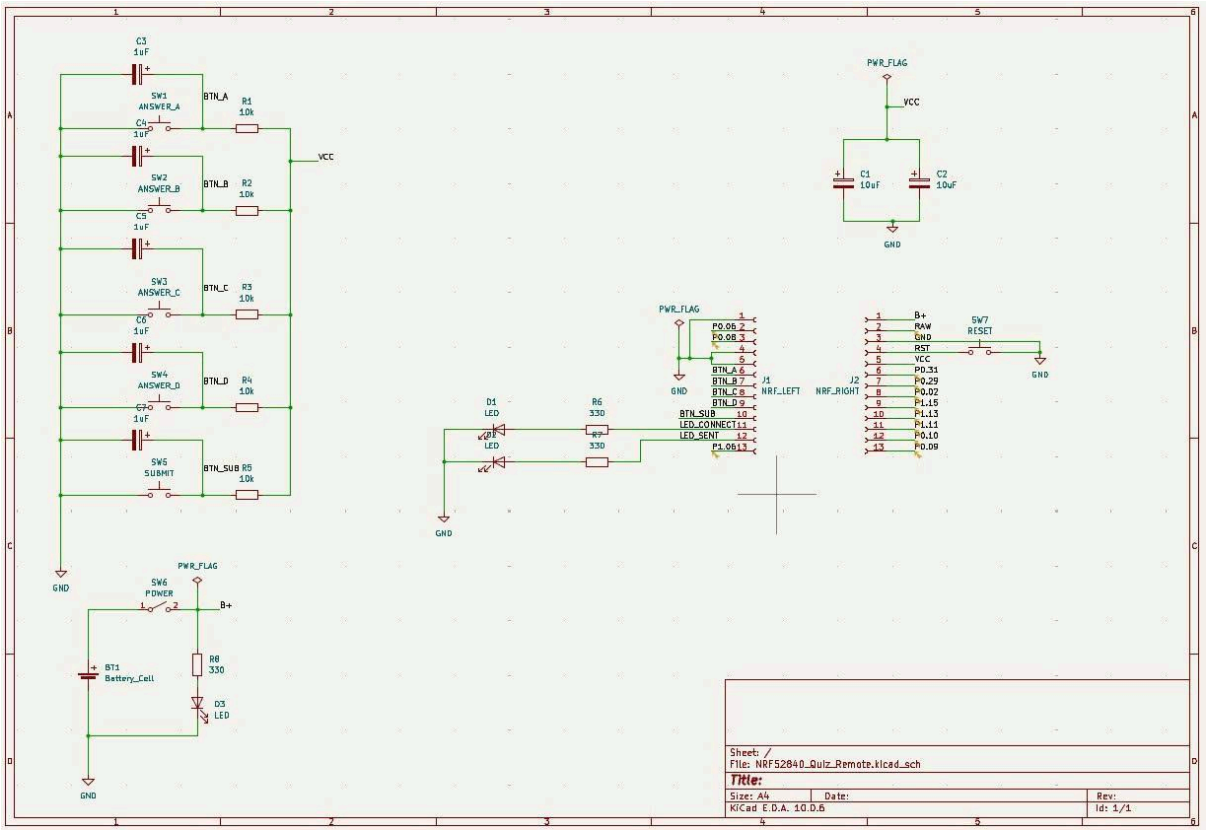
Tín hiệu	Linh kiện	Điểm nối trên socket	Chức năng
BTN_A	SW1	J1 – pad 6	Chọn đáp án A
BTN_B	SW2	J1 – pad 7	Chọn đáp án B
BTN_C	SW3	J1 – pad 8	Chọn đáp án C
BTN_D	SW4	J1 – pad 9	Chọn đáp án D
BTN_SUB	SW5	J1 – pad 10	Xác nhận SUBMIT

Tín hiệu	Linh kiện	Điểm nối trên socket	Chức năng
LED_CONNECT	D1, R6	J1 – pad 11	Báo trạng thái kết nối BLE
LED_SENT	D2, R7	J1 – pad 12	Báo gửi/nhận xác nhận
RST	SW7	J2 – pad 4	Reset module qua RST
B+	SW6, BT1, D3/R8	J2 – pad 1	Nguồn pin cấp vào B+
VCC	R1–R5, C1–C2	J2 – pad 5	Đường điện áp logic trên PCB

Theo phần firmware được mô tả trong bản báo cáo, các chân dự kiến cho A/B/C/D/SUBMIT là P0.17, P0.20, P0.22, P0.24 và P1.00; LED_CONNECT là P0.11, LED_SENT là P1.04. Đây là thông số phần mềm cần đối chiếu, không nên coi là kết quả đã đo xác nhận trên bo thật. Đối với D1 và D2, tín hiệu GPIO nối qua điện trở hạn dòng 330 Ω; với D3, nguồn B+ nối qua R8 = 330 Ω.

2.3. Sơ đồ nguyên lý và khối nguồn

Sơ đồ nguyên lý được thiết kế bằng KiCad và gồm ba nhóm chính: (i) năm đầu vào nút nhấn và bộ lọc RC; (ii) hai ngõ ra LED báo trạng thái; (iii) khối nguồn pin, công tắc SW6, LED nguồn, hai tụ lọc C1–C2 và RESET SW7. Hình 2.3 là ảnh chụp sơ đồ nguyên lý của nhóm; vì ảnh thu nhỏ có thể khó đọc nhãn, các thông số chủ chốt được diễn giải và tính toán dưới đây.



Hình 2.3. Sơ đồ nguyên lý KiCad của bo điều khiển nRF52840.

2.3.1. Thiết kế mạch chống dội nút nhấn bằng bộ lọc RC

Trong hệ thống trắc nghiệm tương tác sử dụng nRF52840, năm nút nhấn SW1, SW2, SW3, SW4 và SW5 lần lượt đảm nhiệm các chức năng lựa chọn đáp án A, B, C, D và xác nhận SUBMIT. Do đặc tính cơ khí của tiếp điểm, khi nhấn hoặc nhả nút có thể xuất hiện hiện tượng dội phím (contact bouncing), khiến tín hiệu đầu vào thay đổi trạng thái nhiều lần trong khoảng thời gian ngắn.

Để hạn chế hiện tượng này, hệ thống sử dụng mạch lọc RC gồm điện trở kéo lên 10 kΩ và tụ điện 1 µF tại mỗi đầu vào nút nhấn.

Các linh kiện sử dụng:

- R1–R5: Điện trở kéo lên 10 kΩ.
- C3–C7: Tụ điện chống dội 1 µF.
- SW1–SW5: Nút nhấn thường mở, nối tín hiệu GPIO xuống GND khi được nhấn.

Cơ sở tính toán:

Hằng số thời gian của mạch RC được xác định theo công thức:

$\tau = R \times C$

Với R = 10.000 Ω và C = 1×10^{-6} F:

$\tau = 10.000 \times 1 \times 10^{-6} = 0{,}01$ s = 10 ms.

Khi nút nhấn được thả ra, điện áp trên tụ tăng theo biểu thức:

$V(t) = VCC \times (1 - e^{-t/Rc})$

Theo đặc tính ngõ vào của nRF52840, mức logic cao được bảo đảm từ 0,7VDD. Thời gian điện áp đạt ngưỡng này trong mô hình RC lý tưởng là:

$t = -RC \times \ln(1 - 0{,}7)$

$t = -10 \times \ln(0{,}3) \approx 12{,}04$ ms.

Như vậy, tụ 1 µF kết hợp với điện trở 10 kΩ tạo quá trình nạp điện trong khoảng thời gian phù hợp để hạn chế các dao động điện áp ngắn do dội tiếp điểm. Giá trị 1 µF được lựa chọn dựa trên mục tiêu hằng số thời gian RC khoảng 10 ms.

Ngoài lọc phần cứng, chương trình điều khiển còn có thể thực hiện chống dội bằng phần mềm với khoảng thời gian xác nhận trạng thái khoảng 30 ms. Việc kết hợp hai phương pháp giúp hạn chế nguy cơ ghi nhận nhiều lần nhấn từ một thao tác cơ khí. Thời gian thực tế cần được kiểm chứng bằng thử nghiệm vì còn phụ thuộc dung sai linh kiện, điện trở kéo lên nội bộ và đặc tính nút nhấn.

2.3.2. Thiết kế tụ lọc và ổn định nguồn cấp

Hệ thống sử dụng pin CR2032 làm nguồn năng lượng cho thiết bị. Trong quá trình hoạt động, nRF52840 có sự thay đổi dòng tiêu thụ, đặc biệt khi khởi động, xử lý dữ liệu hoặc thực hiện truyền nhận Bluetooth Low Energy.

Sự thay đổi dòng điện có thể gây sụt áp tức thời do trở kháng của pin và đường cấp nguồn. Vì vậy, mạch được bố trí hai tụ lọc C1 và C2, mỗi tụ có điện dung 10 µF, mắc song song giữa đường VCC và GND.

Tính toán điện dung tương đương:

$Ceq = C1 + C2$

$Ceq = 10\ \mu F + 10\ \mu F = 20\ \mu F$.

Vai trò chính của các tụ này là tích trữ điện tích cục bộ, hỗ trợ dòng điện tức thời khi tải thay đổi và giảm biến thiên điện áp nguồn.

Dựa trên quan hệ $Q = C \times \Delta V = I \times \Delta t$, ta có:

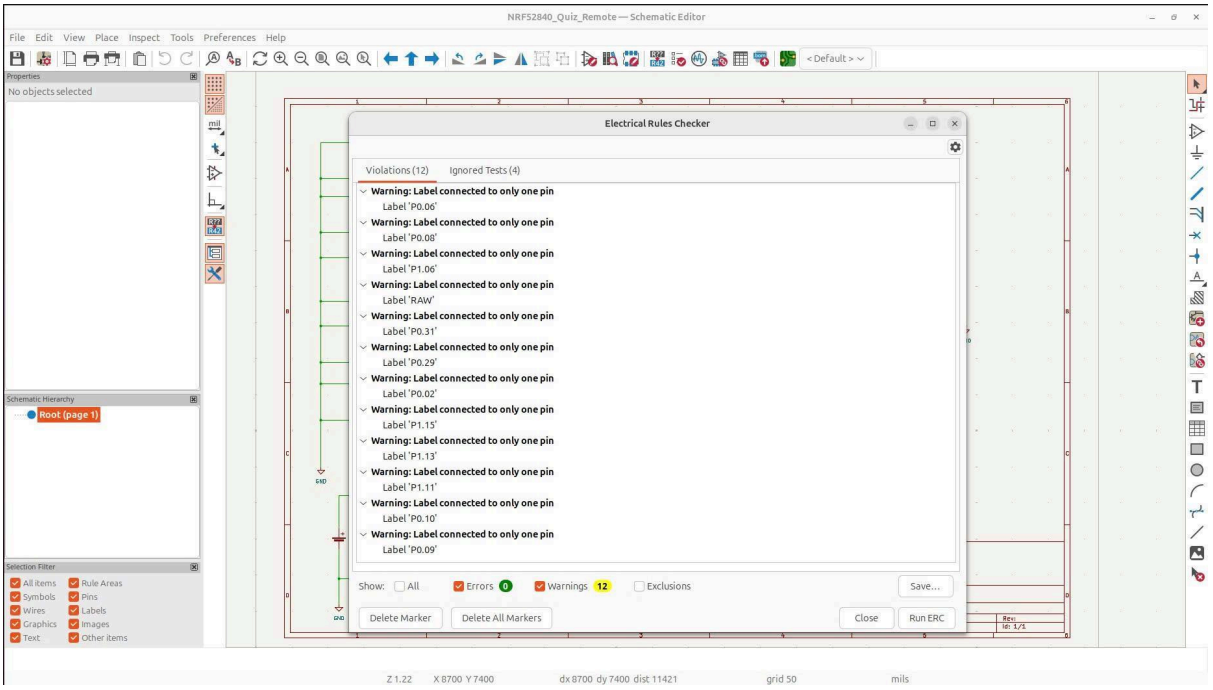
$\Delta V = (I \times \Delta t) / C$

Xét trường hợp minh họa với dòng điện tăng thêm 10 mA trong thời gian 100 µs, giả sử dòng tăng thêm được cung cấp hoàn toàn bởi hai tụ có tổng điện dung hiệu dụng 20 µF:

$\Delta V = (0{,}01 \times 0{,}0001) / (20 \times 10^{-6})$

$\Delta V = 0{,}05$ V = 50 mV.

Kết quả lý thuyết cho thấy tổng điện dung 20 µF có khả năng hỗ trợ dòng xung và hạn chế sự suy giảm điện áp trên đường cấp nguồn so với điện dung nhỏ hơn trong cùng điều kiện giả định.



Hình 2.3. Toàn bộ sơ đồ nguyên lý KiCad và kết quả ERC

2.4. Lựa chọn footprint, bố trí linh kiện và kích thước PCB

Các linh kiện chủ yếu được chọn kiểu xuyên lỗ (THT) nhằm thuận tiện hàn tay và thay thế. Kích thước và loại chân được đối chiếu với footprint trong dự án KiCad; riêng kích thước thực tế của linh kiện mua vẫn cần đo hoặc xem datasheet, đặc biệt với công tắc SW6, socket 13 chân và khay CR2032.

Bảng 2.2. Danh sách linh kiện và footprint chính

Ký hiệu	Giá trị / mô tả	Footprint KiCad
R1–R5	10 kΩ, THT, 1/4 W	R_Axial_DIN0207_L6.3mm_D2.5mm_P7.62mm

Ký hiệu	Giá trị / mô tả	Footprint KiCad
R6–R8	330 Ω, THT, 1/4 W	R_Axial_DIN0207_L6.3mm_D2.5mm_P7.62mm
C1–C2	10 µF, tụ hóa THT	CP_Radial_D4.0mm_P2.00mm
C3–C7	1 µF, tụ hóa THT (thiết kế)	CP_Radial_D5.0mm_P2.00mm
D1–D3	LED THT 5 mm	LED_D5.0mm
SW1–SW5, SW7	Nút nhấn 6×6 mm, cao 4,3 mm	SW_PUSH_6mm_H4.3mm
SW6	Công tắc trượt 3 chân	SS12D10_SPDT_v1 (thư viện riêng)
J1, J2	Socket cái 1×13, bước 2,54 mm	PinSocket_1x13_P2.54mm_Vertical
H1–H4	4 lỗ bắt vít M3	MountingHole_3.2mm_M3
BT1	Khay pin CR2032	Battery_Panasonic_CR2032-HFN_Horizontal_CircularHoles

Board outline trên lớp Edge.Cuts là hình chữ nhật từ (70,38; 31,74) đến (136,38; 183,74) mm, suy ra kích thước 66 × 152 mm. Stackup trong file thiết kế ghi bề dày danh nghĩa 1,6 mm. Bốn lỗ bắt vít sử dụng footprint Ø3,2 mm, đặt cách mép khoảng 5 mm, cách tâm nhau 56 mm theo chiều ngang và 142 mm theo chiều dọc. Các khoảng cách cơ khí phải tiếp tục kiểm tra với đế vít, đầu vít và vỏ in 3D.

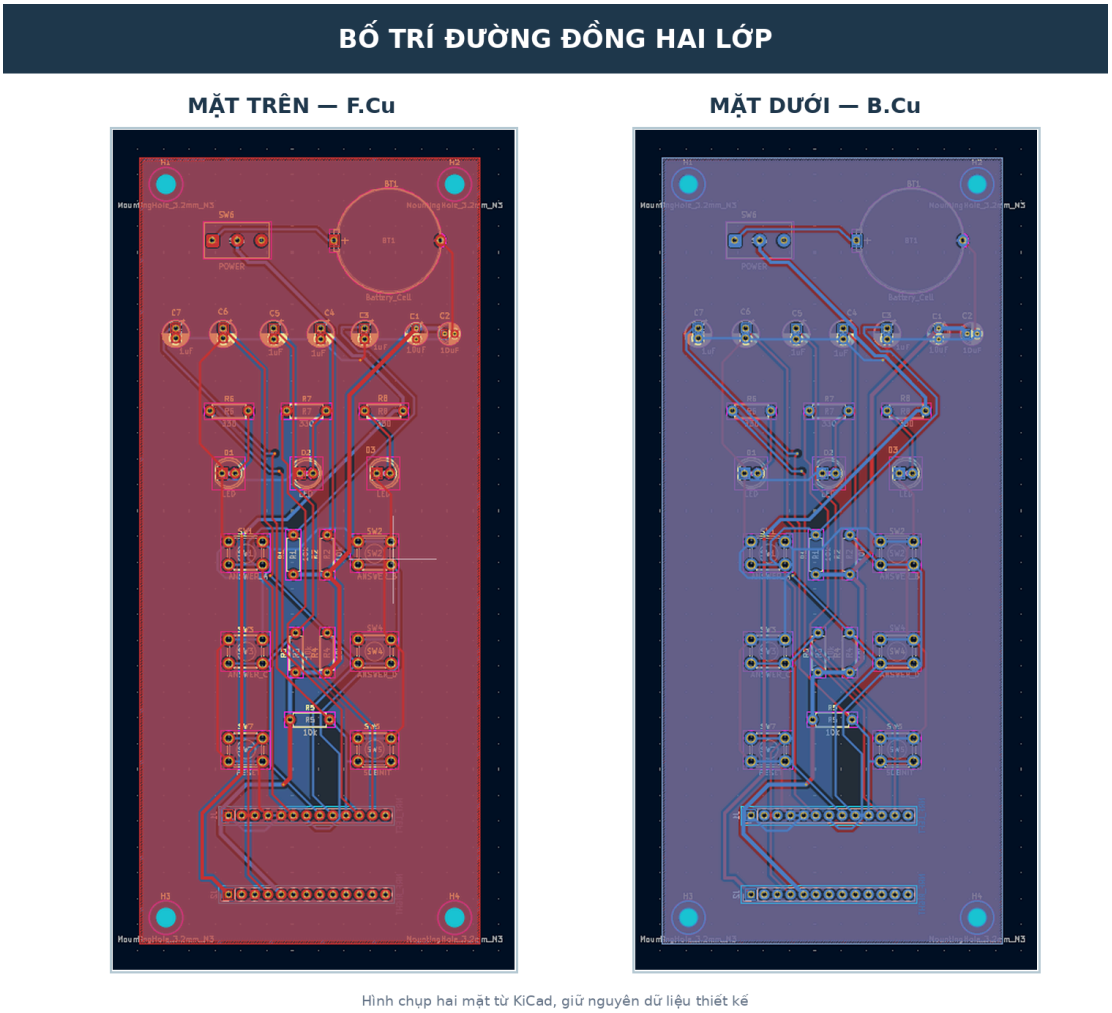
Bảng 2.3. Tọa độ tâm các lỗ bắt vít M3 trong KiCad

Lỗ	X (mm)	Y (mm)	Vị trí
H1	75,38	36,74	Góc trên trái
H2	131,38	36,74	Góc trên phải
H3	75,38	178,74	Góc dưới trái
H4	131,38	178,74	Góc dưới phải

2.5. Đi dây hai mặt, phủ đồng và kiểm tra thiết kế

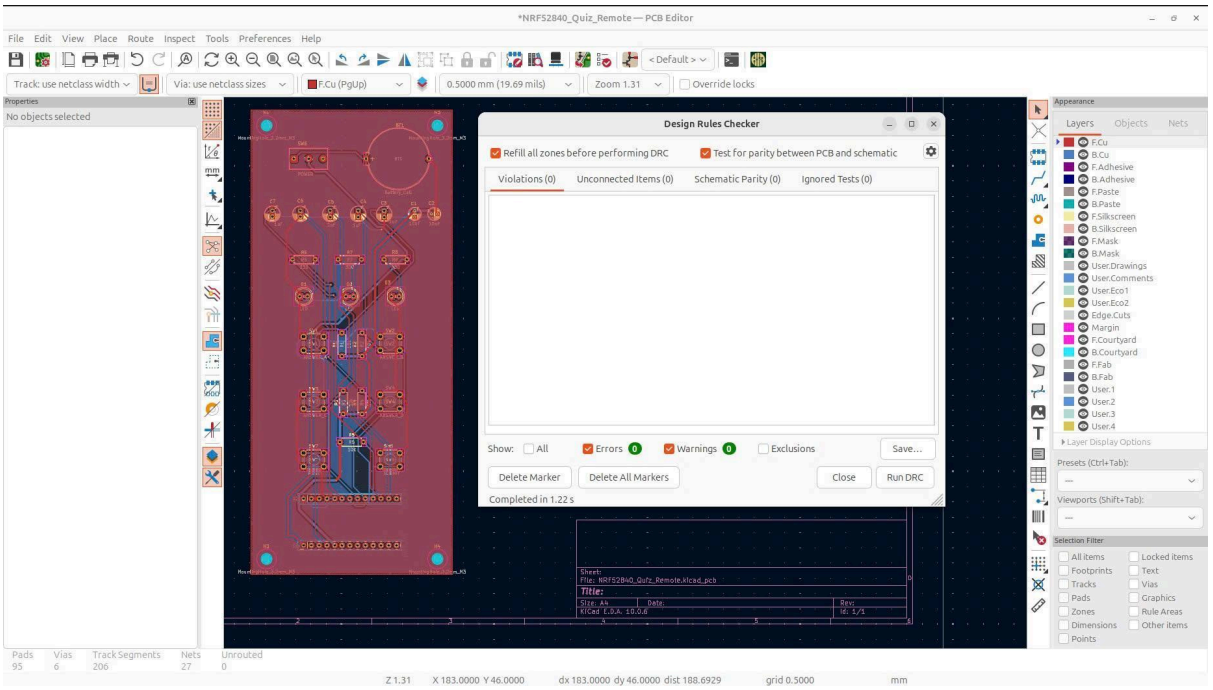
Bo mạch được đi dây trên hai lớp F.Cu (mặt trước) và B.Cu (mặt sau), có via chuyển lớp. Số liệu trích từ file .kicad_pcb đính kèm: 95 pad, 206 track segments, 6 via, 2 vùng copper zone và 27 net theo màn hình KiCad. Các track tín hiệu và GND có bề rộng 0,4 mm; đường B+ rộng 0,6 mm; đường VCC rộng 0,8 mm. Bố trí vùng đồng GND cần được đổ lại trước khi chạy DRC, đồng thời xem riêng hai mặt và kiểm tra vùng anten module.

Từ bản thiết kế đã cung cấp, kết quả hiển thị Unrouted = 0; cửa sổ DRC cho thấy Violations = 0, Unconnected Items = 0, Schematic Parity = 0 và Ignored Tests = 0 tại thời điểm chụp. Điều đó cho thấy các phép kiểm tra cấu hình đang bật đã đạt, nhưng không đảm bảo mạch hoạt động đúng điện hoặc đúng cơ khí nếu linh kiện thật khác footprint.



Hình 2.4. Ảnh chụp hai lớp đồng F.Cu và B.Cu của PCB sau khi định tuyến.

Ngoài DRC, ảnh ERC của sơ đồ nguyên lý cho thấy 0 lỗi và 12 cảnh báo “Label connected to only one pin” tại thời điểm chụp. Các cảnh báo có thể phát sinh ở các nhãn không có kết nối khác, nhưng cần kiểm tra từng vị trí: nếu chân cố ý không sử dụng thì đặt ký hiệu No Connect đúng cách; nếu dự kiến sử dụng thì bổ sung kết nối phù hợp. Không nên trình bày ERC đã sạch cảnh báo.



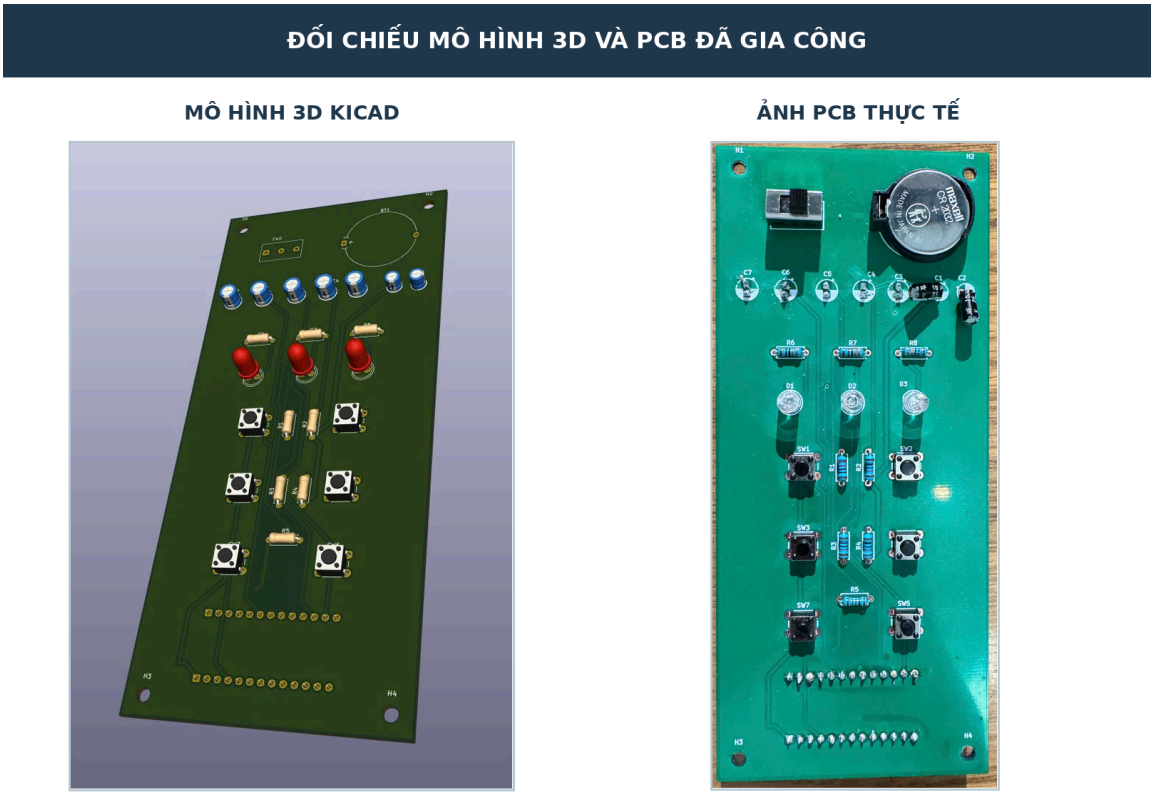
Hình 2.5. Kết quả ERC trên schematic: 0 lỗi, 12 cảnh báo nhãn một chân tại thời điểm chụp.

Trước khi đặt gia công, cần mở lại Gerber và file khoan PTH/NPTH bằng Gerber Viewer, đối chiếu độ dày PCB, biên Edge.Cuts, đường kính lỗ M3, vùng solder mask, cực tính tụ/LED, vị trí USB và hướng lắp module từ hai hàng J1/J2. Với vùng anten BLE phải tuân thủ giới hạn keepout của chính module sử dụng.

2.6. Lắp ráp, đối chiếu PCB thực tế và quy trình kiểm thử

Nhóm đã hoàn thiện gia công PCB và lắp ráp linh kiện cho mạch, bao gồm khay pin CR2032, công tắc nguồn, các nút nhấn, điện trở, LED, tụ điện và các đầu nối. Trong quá trình lắp ráp, một số tụ điện được bố trí ở mặt dưới của PCB thay vì mặt trên để bảo đảm không bị cấn khi lắp vỏ cho thiết bị. Do đó, việc không thấy một số tụ ở mặt trên trong ảnh chụp thực tế không phải là thiếu linh kiện, mà là lựa chọn bố trí cơ khí nhằm phù hợp với kết cấu vỏ ngoài.

Ảnh mô hình 3D KiCad thể hiện phương án lắp ráp tổng thể của bo mạch; trong khi đó ảnh PCB thực tế phản ánh sản phẩm sau khi gia công và hàn lắp. Hai hình có thể khác nhau về vị trí quan sát và cách thể hiện linh kiện giữa các mặt của bo mạch, nhưng về chức năng điện vẫn đồng nhất với thiết kế. Sau khi kiểm tra thông mạch và cấp nguồn thử nghiệm, mạch hoạt động bình thường, các đường kết nối bảo đảm liên tục và bo mạch có thể sử dụng ổn định theo đúng mục tiêu thiết kế.



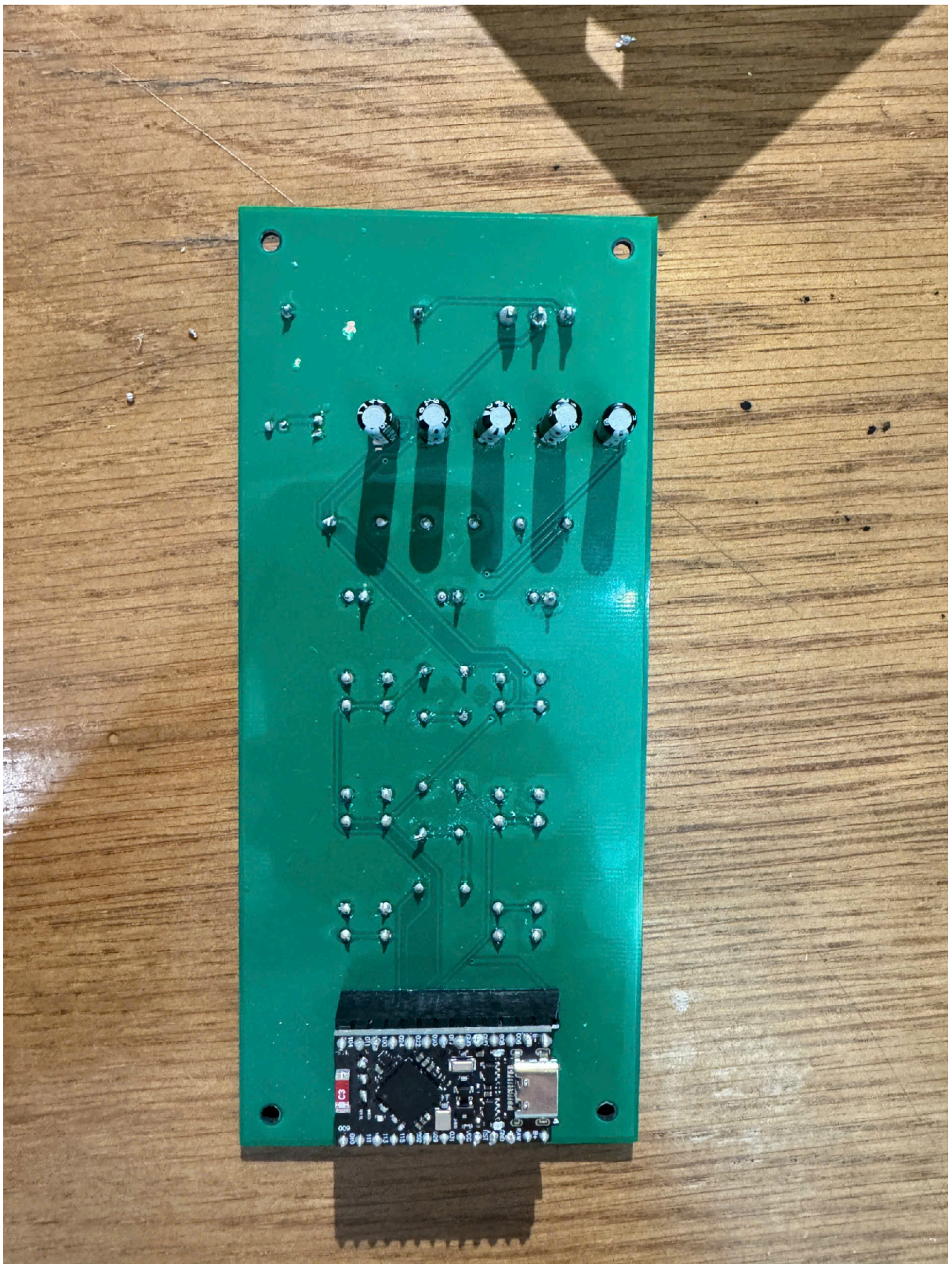
Hình 2.7. Đối chiếu mô hình 3D KiCad với ảnh PCB đã gia công, lắp linh kiện một phần.

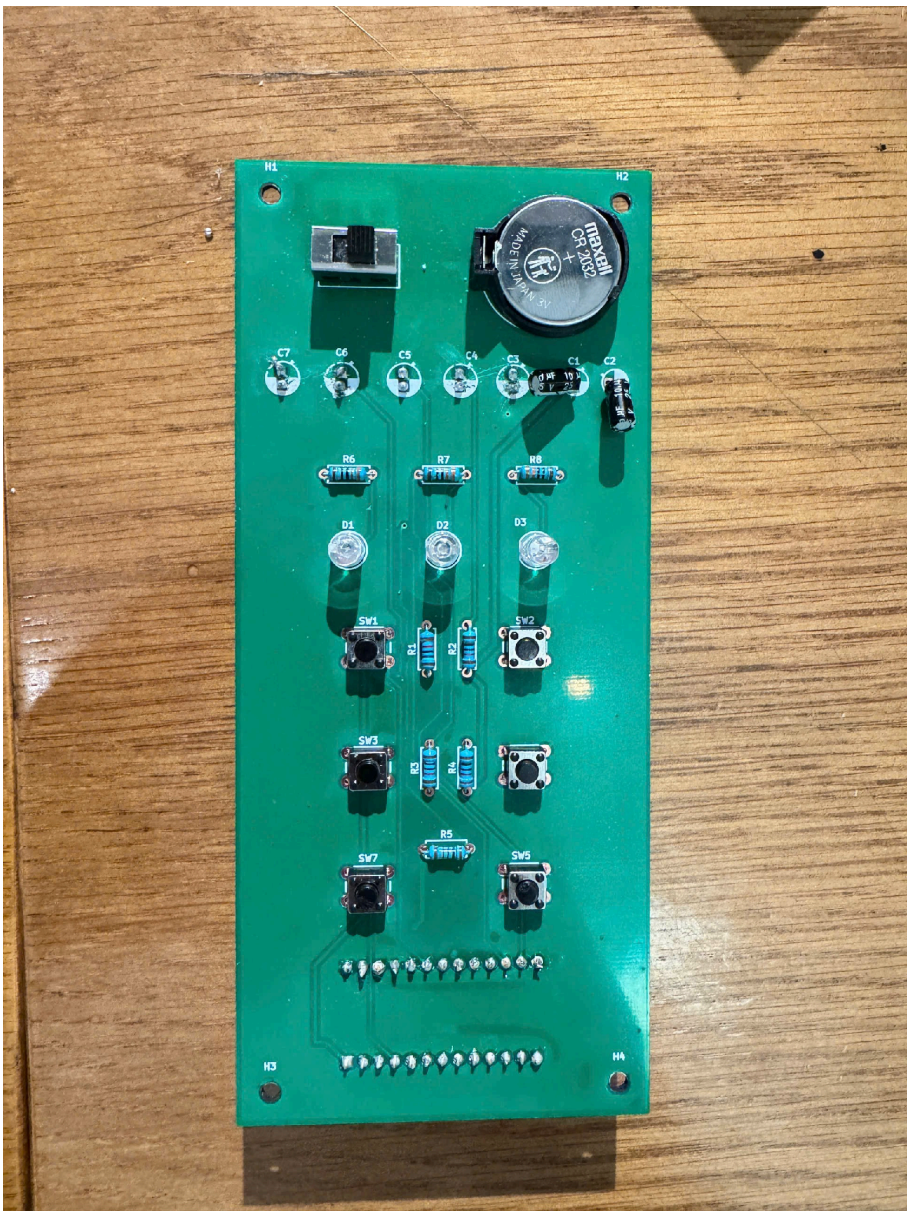
PHẦN III. SOLIDWORKS: THIẾT KẾ VỎ VÀ IN 3D

3.1. Mục tiêu và yêu cầu của vỏ

Vỏ bảo vệ PCB và các mối hàn, đồng thời biến mạch thử thành bộ trả lời cầm tay dễ sử dụng. Thiết kế cần giữ bo không dịch chuyển khi bấm nút, cho người dùng nhận biết rõ A/B/C/D và SUBMIT, nhìn thấy hai LED, tiếp cận được công tắc nguồn hoặc cổng USB theo phương án cấp điện đã chốt. Vỏ phải tránh tì lên anten BLE của nRF hoặc che kín bằng chi tiết kim loại, có đường thoát dây thích hợp, không để mép sắc ở vị trí cầm. Kích thước ngoài phải xuất phát từ PCB thật và linh kiện cao nhất, không đoán theo ảnh.

Ở giai đoạn này chưa có file .SLDPRT, .SLDASM, .STL hoặc kích thước PCB được cung cấp. Do đó phần này mô tả đầy đủ quy trình thiết kế cần thực hiện và để trống các ô kết quả. Khi có mô hình, nhóm điền số đo, ảnh chụp SolidWorks, thông số in và ảnh sản phẩm; không nên trình bày các mục "đã lắp thử" trước khi thử thật.





Hình 3.1. Ảnh mạch thật

3.2. Thu thập kích thước và dựng hình cơ sở

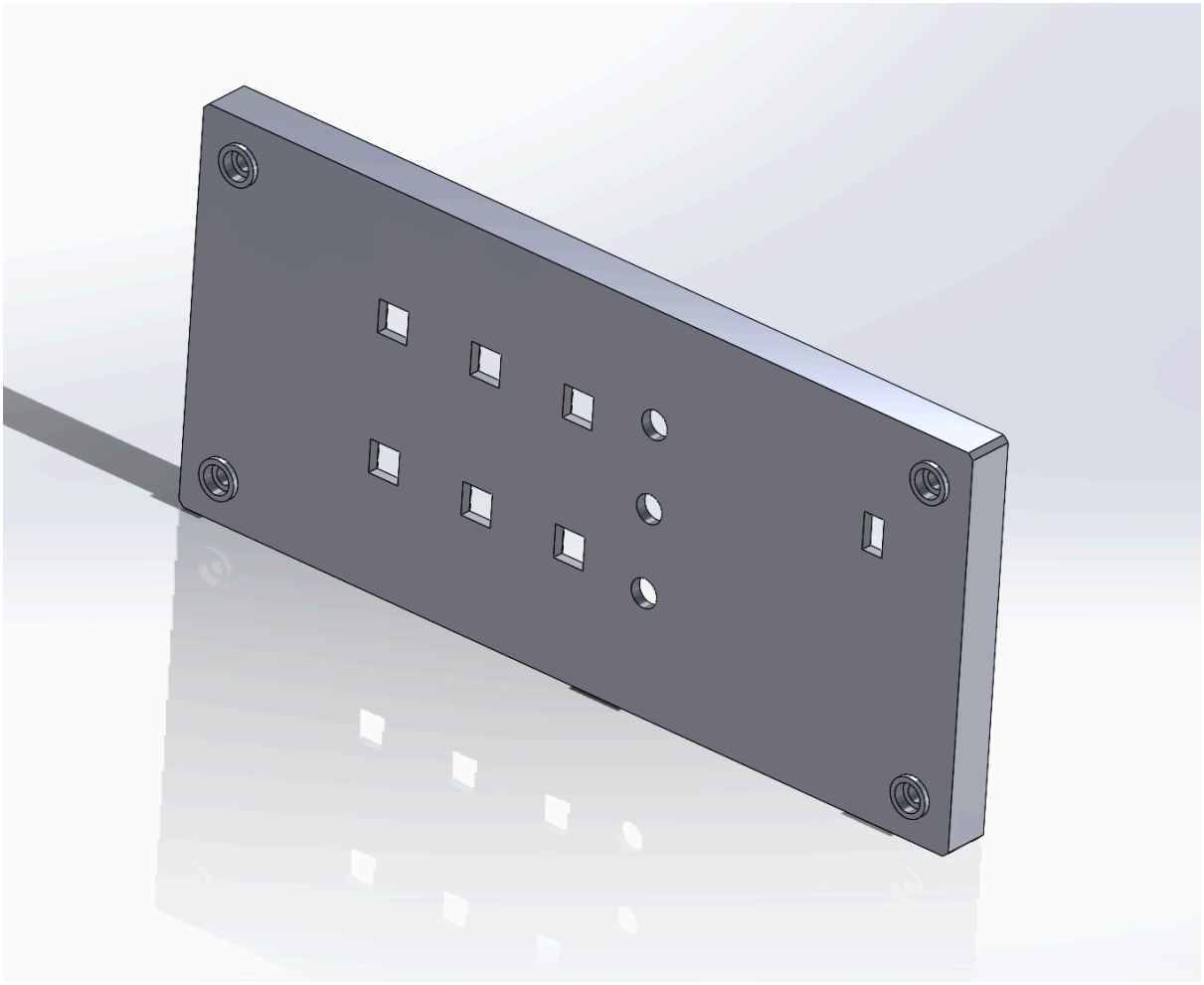
Trước tiên đo dài/rộng PCB, vị trí các lỗ vít, khoảng cách tâm các nút, chiều cao nút từ mặt PCB, chiều cao LED/module và vị trí cổng USB. Có thể tạo một bản vẽ 2D tham chiếu trong SolidWorks với gốc tọa độ tại một góc PCB; mỗi lỗ và tâm nút được xác định bằng hai tọa độ X/Y. Sau đó dựng khối đại diện PCB và thể tích bao của linh kiện, không cần mô hình hóa mọi chân hàn. Cách này giúp kiểm tra nhanh vùng va chạm giữa nắp, nút và module.

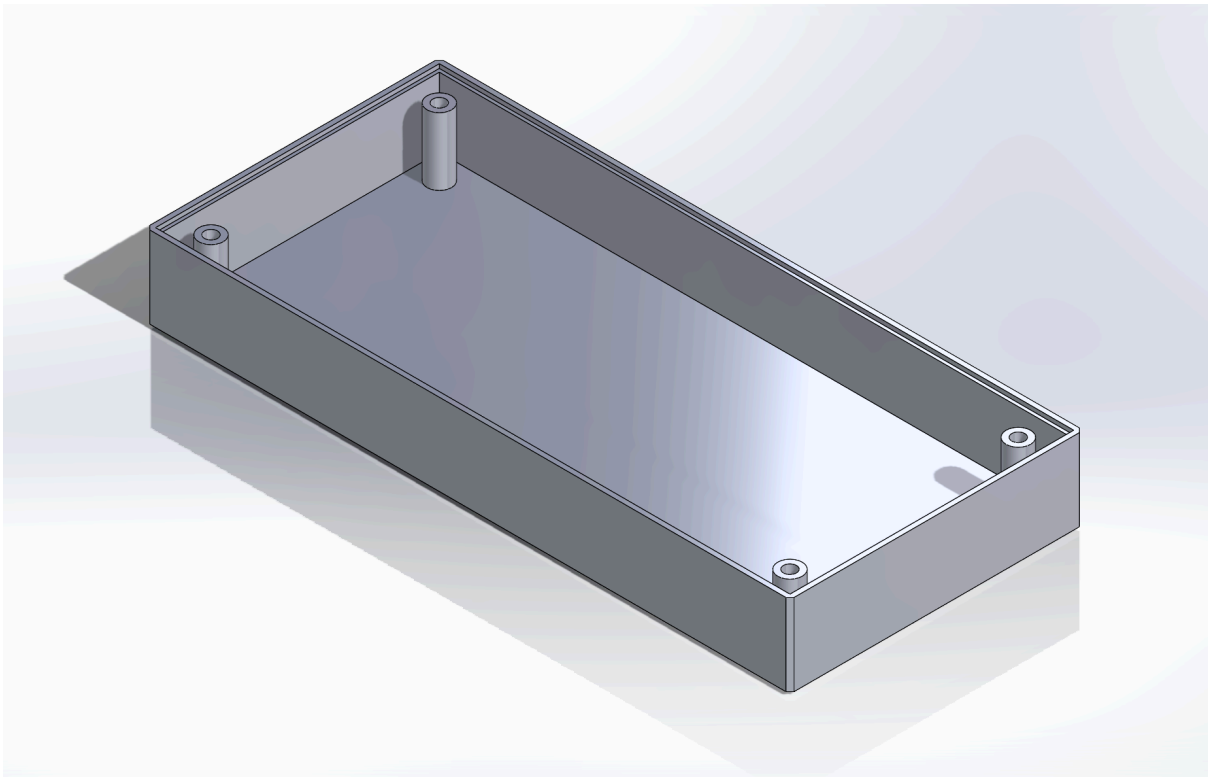
Khoảng trống lắp ghép phải tính cả sai số của bo, socket và máy in. Có thể dùng biểu thức thiết kế $L_{trong} \geq L_{PCB} + 2c$ và $W_{trong} \geq W_{PCB} + 2c$, trong đó c là khe hở một bên do nhóm chọn sau khi in mẫu thử. Không tự gán một giá trị c nếu chưa biết máy in và độ chính xác thực tế. Chiều cao trong phải lớn hơn chiều cao linh kiện cao nhất cộng khoảng an toàn để nắp không ép lên module/LED.

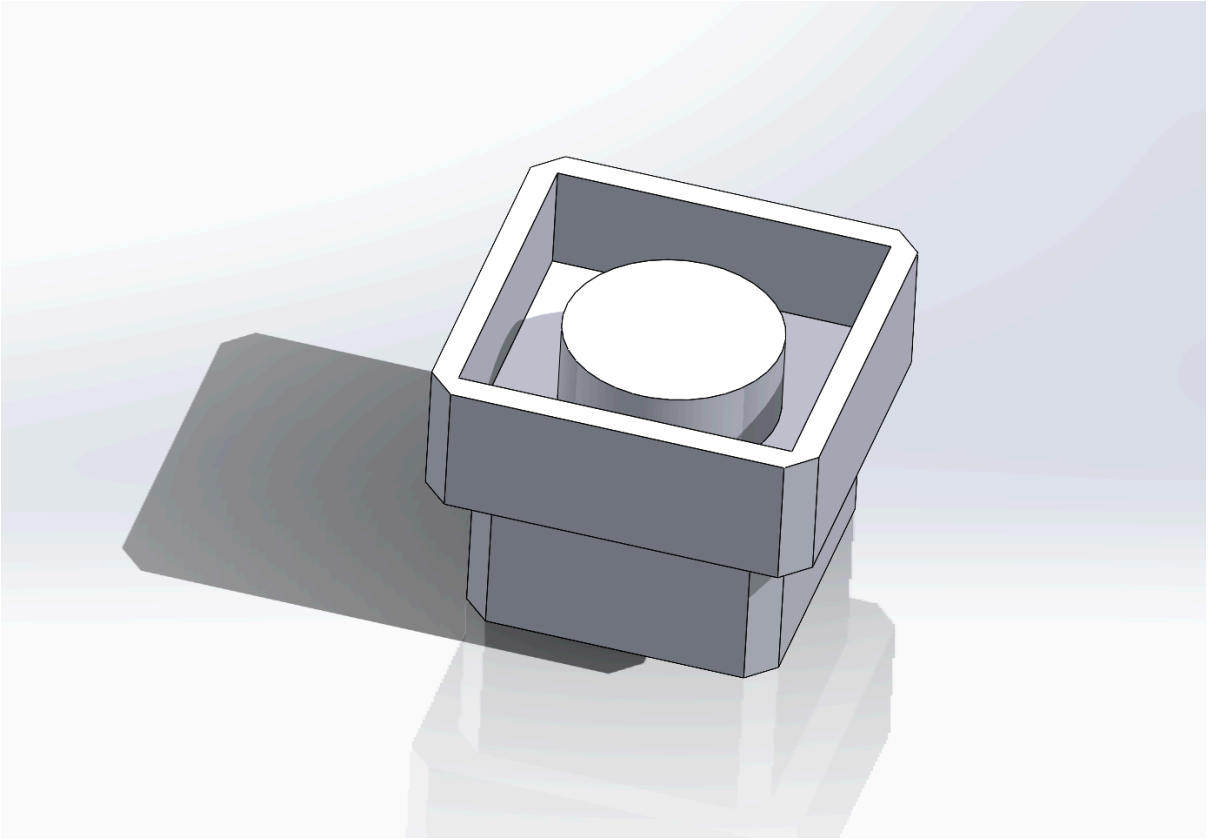
3.3. Thiết kế thân, nắp và cơ cấu cố định

Thân vỏ có thể bắt đầu từ sketch hình chữ nhật bo góc, dùng Extruded Boss/Base tạo thể tích và Shell để tạo thành mỏng đều. Trong thân bố trí trụ hoặc gờ đỡ PCB, không để mặt hàn chạm trực tiếp đáy vỏ. Trụ có thể nhận vít, insert đồng hoặc cơ cấu kẹp tùy khả năng chế tạo; lựa chọn cuối cùng phải dựa trên đường kính lỗ PCB thật. Nắp có lỗ cho năm nút, cửa sổ cho LED và khe cổng USB. Nếu dùng đầu nhấn rời in 3D, phải giữ hành trình đủ để bấm switch mà không đè liên tục khi nắp đóng. Nên có ký hiệu nổi hoặc khắc A, B, C, D, SUBMIT trên mặt nắp để người dùng định vị nhanh.

Hai phương án ghép nắp thường gặp là vít hoặc lẫy. Vít dễ tháo bảo trì nhưng cần trụ và đủ chiều dày; lẫy giảm linh kiện nhưng phụ thuộc độ đàn hồi vật liệu và độ chính xác máy in. Báo cáo này chưa chốt phương án vì không có mô hình cơ khí thực. Khi dựng Assembly, đặt PCB, thân, nắp, nút và module ở đúng vị trí, dùng kiểm tra giao thoa để phát hiện nắp chạm module, nút chạm thành hoặc đầu cáp USB bị vướng. Cần dành vùng không gian hợp lý quanh anten nRF; không đặt vật kim loại sát anten theo suy đoán hình học.







Hình 3.3. Mô hình 3D thân vỏ, nắp và các chi tiết nút rời



Hình 3.4. Assembly/exploded view thể hiện PCB nằm trong vỏ

3.4. Chuẩn bị in 3D

Sau khi kiểm tra lắp ghép trong SolidWorks, xuất từng chi tiết ra STL với đơn vị millimét và dung sai xuất phù hợp. Trong phần mềm slicer, đặt mặt lớn áp bàn in để giảm support; xem trước từng lớp để phát hiện thành quá mỏng, trụ vít thiếu liên kết hoặc cầu in dài. PLA dễ thử mẫu ban đầu, PETG có thể phù hợp hơn nếu cần tăng độ dai; vật liệu thực tế phải được ghi theo cuộn filament đã dùng. Chiều cao lớp, độ dày vách, mật độ infill, nhiệt độ vòi/bàn và thời gian in chỉ được ghi vào báo cáo khi đã tạo G-code hoặc in mẫu thật. Không thể kết luận chất lượng vỏ chỉ từ ảnh mô hình CAD.

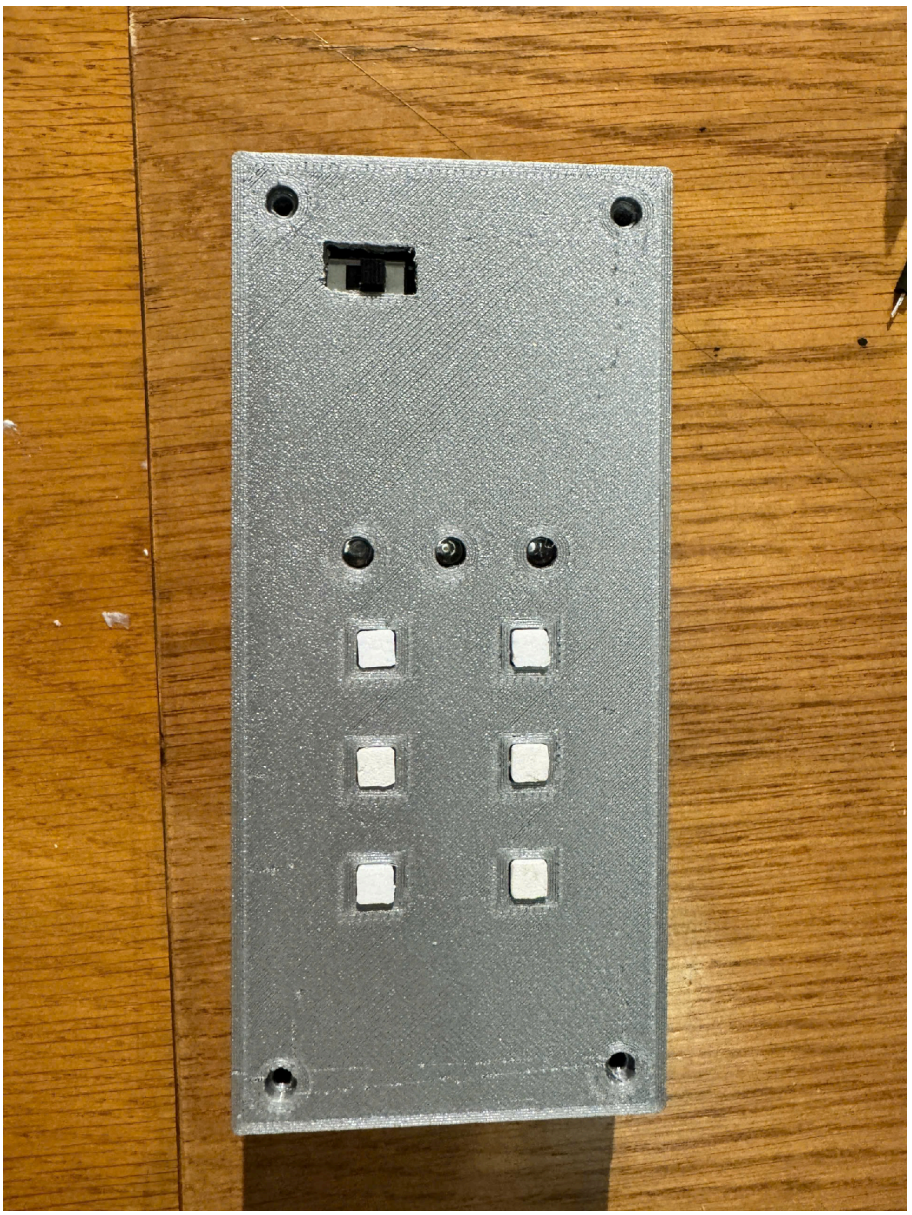
Trước khi in toàn bộ vỏ, có thể in mẫu nhỏ gồm một nút, một lỗ LED, một trụ vít và một đoạn mép ghép. Việc này giúp điều chỉnh khe hở mà không lãng phí vật liệu. Sau in, loại support, làm sạch lỗ, kiểm tra độ phẳng đáy và thử đóng mở nắp nhiều lần. Nếu nắp quá chặt hoặc nút kẹt, sửa kích thước trên mô hình và lưu phiên bản mới; tuyệt đối không ép mạnh gây nứt PCB hoặc gãy công tắc.

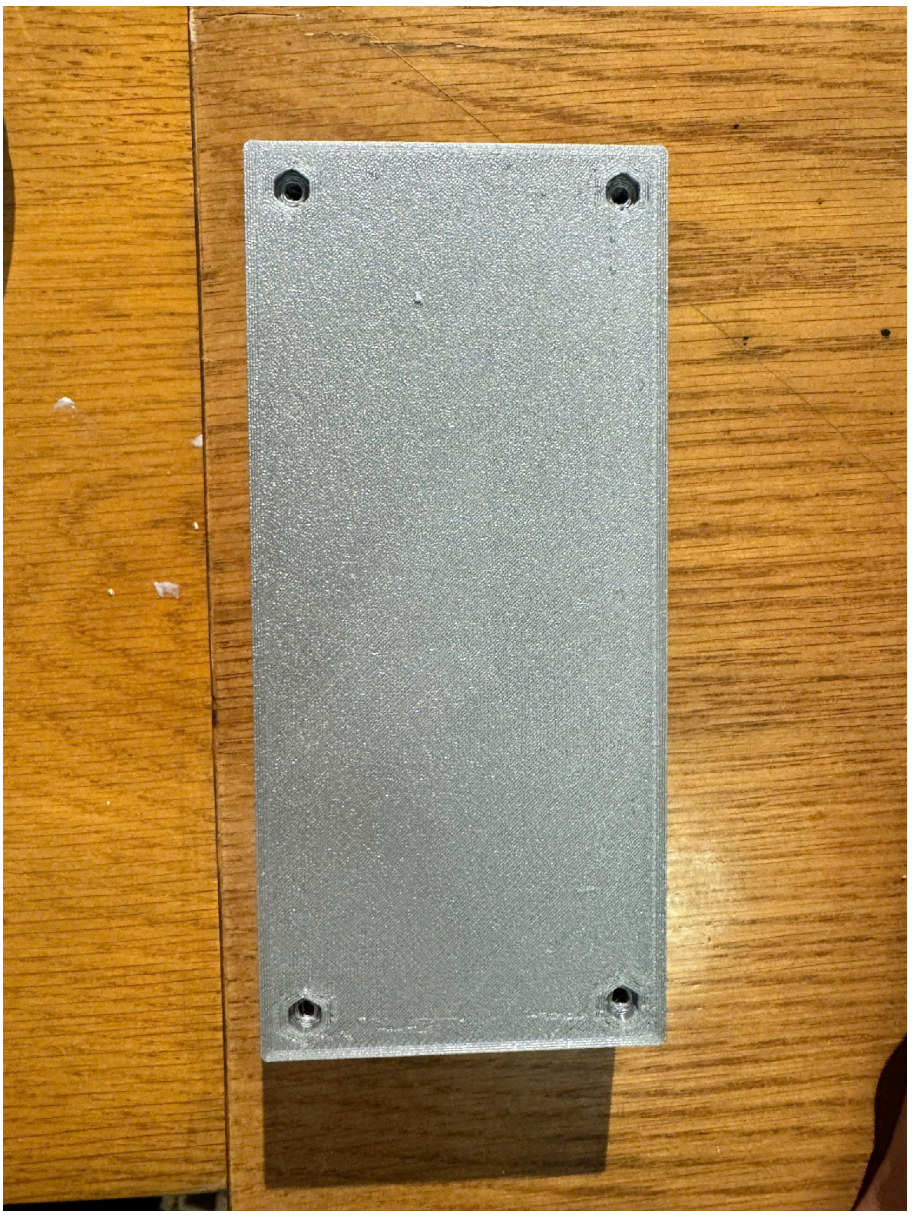
3.5. Lắp thử, đánh giá và hoàn thiện

Quy trình đánh giá cuối gồm đặt PCB vào thân, bắt cố định, gắn nắp, kiểm tra cổng USB, thử từng nút ở trạng thái không cấp nguồn rồi cấp nguồn thử chức năng. Với nRF, bo phải phát ID và nhận ACCEPT; khi có NEXT, đèn báo phải nhìn rõ qua vỏ; bấm A/B/C/D và SUBMIT không được làm PCB dịch chuyển. Một vỏ tốt cần đạt cả yếu tố cơ khí lẫn điện: không chạm chập, không che nút, không làm giảm khả năng cấp nguồn hoặc kiểm tra Serial. Chất lượng bề mặt và sự thoải mái khi cầm nên được đánh giá bằng người dùng thử trong vài lượt câu hỏi, có ghi nhận nhận xét.

Tiêu chí nghiệm thu vỏ	Kết quả cần điền	Cách xác nhận
PCB nằm chắc, không xoay/nhún khi bấm	Đạt	Thử bấm nhiều lần

Tiêu chí nghiệm thu vỏ	Kết quả cần điền	Cách xác nhận
Năm nút bấm độc lập, không kẹt	Đạt	Serial/hardware test
Hai LED nhìn rõ	Đạt	Thử ACCEPT/NEXT/ACK
Cổng USB và RESET tiếp cận được	Đạt	Cắm cáp, khởi động lại
Nắp tháo/lắp không nứt	Đạt	Thử lắp lặp lại
Khối lượng, kích thước ngoài, thời gian in	Đạt	Cân, thước, log slicer





Hình 3.6. Ảnh vỏ sau in: mặt trước, mặt sau và mạch đã lắp bên trong

KẾT LUẬN

Project kết hợp ba lớp thiết kế: web/server/database, PCB nút nhấn và LED, và vỏ cơ khí in 3D. Phần phần mềm đã hình thành luồng thi từ tạo lớp–môn đến chấm điểm, có đường nRF BLE và ESP32 Wi-Fi, lưu MySQL và xuất Excel. Một đường nộp đáp án nRF đã được quan sát từ Serial tới database. Phần PCB theo bản thảo đã có định hướng sơ đồ nguyên lý, bố trí và quy trình ERC/DRC; phần SolidWorks đã có kế hoạch thiết kế vỏ dựa trên kích thước PCB, nhưng cần bổ sung file thiết kế, hình ảnh, số đo và kết quả in thực tế trước khi khẳng định hai phần này hoàn tất.

Hướng phát triển tiếp theo là hoàn thiện PCB và vỏ, kiểm thử nhiều thiết bị cùng lúc, ghi số đo độ trễ/độ ổn định, bổ sung bảo mật BLE và HTTPS cho ESP32. Việc tách rõ kết quả đã kiểm chứng khỏi phần chờ bổ sung giúp báo cáo trung thực và có thể tiếp tục hoàn thiện thành sản phẩm trình diễn trong lớp học.

TÀI LIỆU THAM KHẢO

[1] Oracle, “MySQL 8.4 Reference Manual – FOREIGN KEY Constraints”. Trực tuyến: https://dev.mysql.com/doc/refman/8.4/en/create-table-foreign-keys.html.

[2] FastAPI, “WebSockets”. Trực tuyến: https://fastapi.tiangolo.com/advanced/websockets/.

[3] D. Hanes, G. Salgueiro, P. Grossetete, R. Barton và J. Henry, *IoT Fundamentals: Networking Technologies, Protocols, and Use Cases for the Internet of Things*. Cisco Press, 2017.