

Загальна характеристика мультиплексорів

Функціональний вузол комп'ютера, призначений для почергової комутації (перемикання) інформації від одного з n входів на загальний вихід називається **мультиплексором**.

Номер конкретної вхідної лінії, що підключається до виходу за кожний такт машинного часу, визначається адресним кодом $A_0, A_1, \dots, A_{m-1}$. Зв'язок між числом інформаційних n і адресних m входів визначається співвідношенням $n = 2^m$. Таким чином, мультиплексор реалізує керовану передачу даних від кількох вхідних ліній в одну вихідну.

Умовне графічне позначення мультиплексорів показано на рис. 3.8.

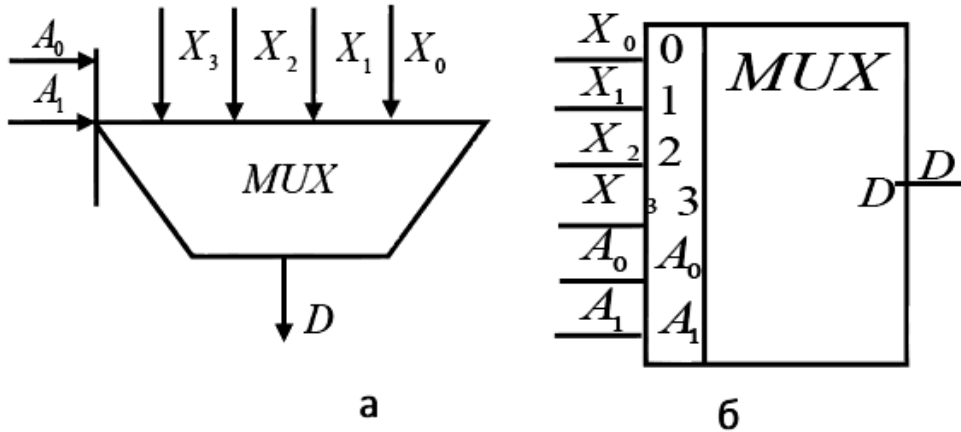


Рис. 3.8. Умовне позначення мультиплексора: а - на функціональних схемах; б - на принципових схемах

де A_0, A_1 – адресний код;

F_0, F_1, F_2, F_3 – виходи внутрішнього дешифратора;

X_0, X_1, X_2, X_3 – вхідна інформація;

D – загальний інформаційний вихід.

Літерами *MUX* (multiplexor) записується функція мультиплексорів. Логіку роботи чотиривходового мультиплексора представлено в табл. 3.6.

Таблиця 3.6. Логіка роботи чотиривходового мультиплексора.

A_1	A_0	X_3	X_2	X_1	X_0	D
0	0	–	–	–	+	$A_1 A_0 X_0$
0	1	–	–	+	–	$\overline{A_1} A_0 X_1$
1	0	–	+	–	–	$A_1 \overline{A_0} X_2$
1	1	+	–	–	–	$A_1 A_0 X_3$

– + – вхід X підключений до виходу D .

– – вхід X не підключений до виходу D .

На основі табл. 3.6. вираз для вихідної функції D можна представити з використанням адресного коду:

$$D = A_1 \overline{A_0} X_0 \vee \overline{A_1} A_0 X_1 \vee A_1 \overline{A_0} X_2 \vee A_1 A_0 X_3$$

Схему мультиплексора, що відповідає рівнянню, показано на рис. 3.9.

Застосовують мультиплексори для таких операцій: комутації, як окремих ліній, так і груп ліній (шин); перетворення паралельного коду в послідовний; реалізації логічних функцій; побудови схем порівняння, генераторів коду. Символічно мультиплексор часто позначають: " $n-1$ ".

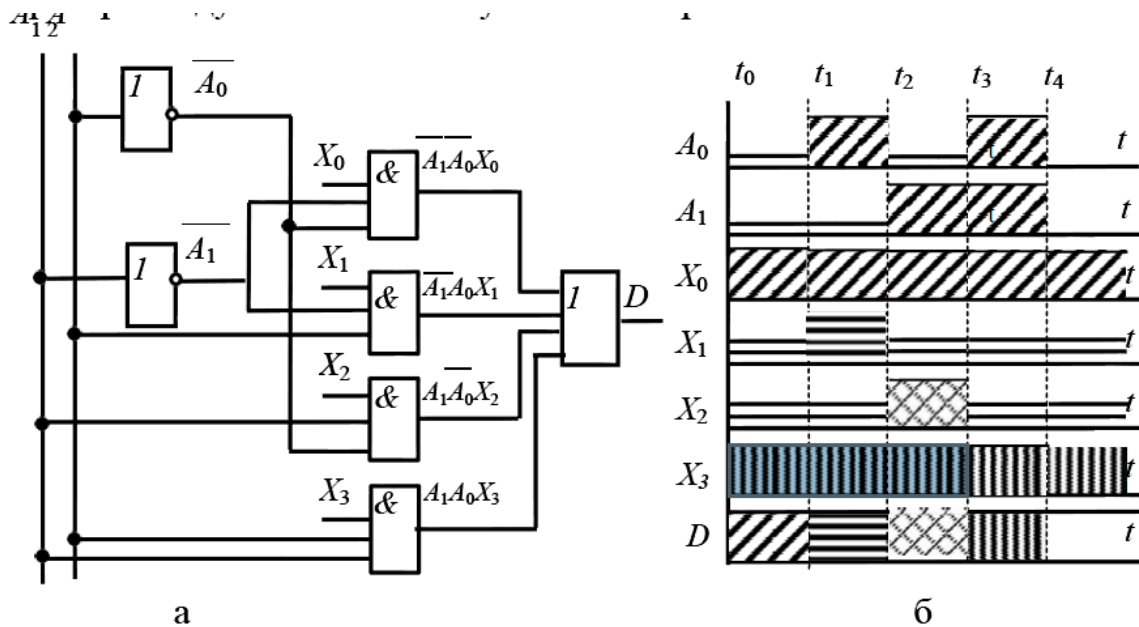


Рис. 3.9. Чотиривходовий мультиплексор: а – схема, б – часова діаграма роботи

Каскадування мультиплексорів

Мультиплексори в інтегральному виконанні випускають на чотири, вісім або шістнадцять входів. Каскадування дозволяє реалізувати комутацію довільного числа вхідних ліній на базі серійних мікросхем мультиплексорів меншої розрядності.

Приклад побудови схеми мультиплексора на 16 входів на основі типових чотиривходових мультиплексорів показано на рис. 3.10.

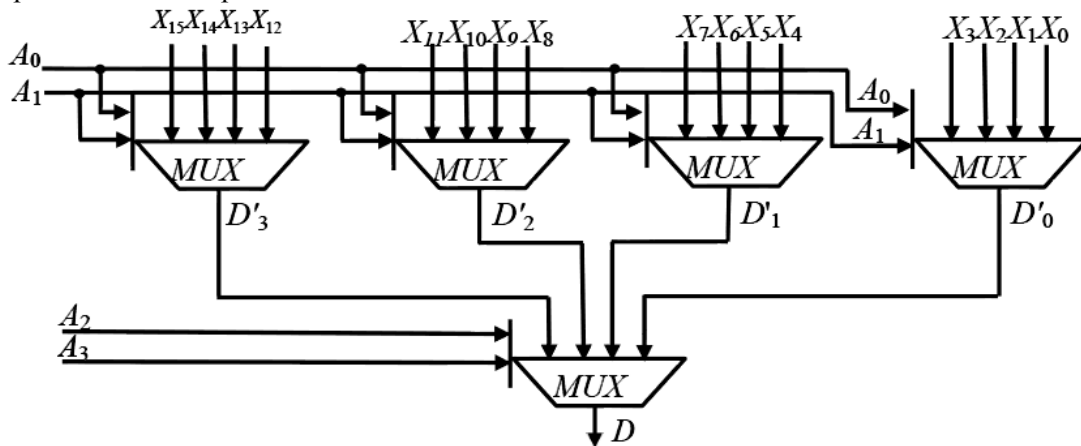


Рис. 3.10. Каскадування мультиплексорів

Молодші розряди адреси A_1 , A_0 підключаються до адресних входів усіх мультиплексорів першого рівня, на виходах яких виробляються наступні функції:

$$D'_0 = F_0 X_0 \vee F_1 X_1 \vee F_2 X_2 \vee F_3 X_3;$$

$$D'_1 = F_0 X_4 \vee F_1 X_5 \vee F_2 X_6 \vee F_3 X_7;$$

$$D'_2 = F_0 X_8 \vee F_1 X_9 \vee F_2 X_{10} \vee F_3 X_{11};$$

$$D'_3 = F_0 X_{12} \vee F_1 X_{13} \vee F_2 X_{14} \vee F_3 X_{15},$$

де F_0, F_1, F_2, F_3 – виходи внутрішніх дешифраторів:

$$F_0 = A_1 A_0; F_1 = A_1 \overline{A_0}; F_2 = \overline{A_1} A_0; F_3 = \overline{A_1} \overline{A_0} \text{ – вхідні змінні.}$$

Старші розряди адреси A_3 , A_2 подаються на адресні входи мультиплексора другого рівня, на виході якого формується остаточна функція

$$D = F'_0 D'_0 \vee F'_1 D'_1 \vee F'_2 D'_2 \vee F'_3 D'_3,$$

де внутрішні виходи дешифратора визначаються так:

$$F'_0 = A_3 A_2; F'_1 = \overline{A_3} A_2; F'_2 = A_3 \overline{A_2}; F'_3 = A_3 A_2$$

Нехай, наприклад, значення адреси $A3A2A1A0 = 10112 = 1110$. При цьому функція молодшої частини адреси приймає значення $F3=11$, і на виходах мультиплексорів першого рівня одночасно формуються сигнали

$$D'_0 = X_3, D'_1 = X_7, D'_2 = X_{11}, D'_3 = X_{15}.$$

Функція старшої частини адреси $F'_2 = A_3 A_2 = 10$ забезпечує передачу на вихід значення сигналу, тобто:

$$D = F'_2 D'_2 = F'_2 F'_3 X_{11} = A_3 \overline{A_2} A_1 A_0 X_{11}.$$