

תקציר קורס

מחלקה

English*	עברית
Electrical and Electronics Engineering	חשמל

שם קורס

English*	עברית
"Computer Hardware Structure and Design"	מבנה ותכן של חומרת מחשבים

מספר קורס	נקודות זכות	הסמסטר או הסמסטרים בו ניתן המקצוע (א, ב, ג, א+ב, לא יינתן השנה)	היקף הקורס (שעות הרצאה שבועיות, שעות תרגול שבועיות, שעות מעבדה שבועיות, שעות פרויקט/סמינר שבועיות)
3624847		א	3 שעות הרצאה 2 תרגול

דרישות קדם

שם המקצוע ו / או מספר המקצוע.

אופן קביעת הציון

מאוני / עובר או נכשל

מעקב במשך הסמסטר (תרגילים, בחנים) ובחינה סופית / בחינה סופית בלבד / מעקב במשך הסמסטר בלבד / מעקב במשך הסמסטר והגשת עבודת גמר / עבודת גמר בלבד.

תרגילי בית : 40%
עבודת סיכום (מיני-פרויקט) : 50%
השתתפות פעילה : 10%

קורס פנים-אל-פנים / מקוון / משולב	קורס סינכרוני / א-סינכרוני / משולב
מקוון מודול 1: מבוא ללוגיקה דיגיטלית ומעגלים סיקוונציאליים	

	תכנון לוגיקה סיקוונציאלית: • פְּלִיפ־פְּלופִים (SR, JK, T, D) • רגיסטרים וסופרים (Counters) • מכונות מצבים סופיים (FSMs) קונספטים מתקדמים בתכנון לוגיקה דיגיטלית: • לוגיקת תלת-מצבית (Tri-state) • Logic: מושג המצב בהתנגדות גבוהה ויישומים במערכות אוטובוס • מערכות (Bus Systems): בס נתונים, כתובת ובקרה; טכניקות גישור לאוטובוס • מערכות זיכרון: ארגון זיכרון (RAM, ROM); היררכיית זיכרון (מטמון, זיכרון ראשי); כתיבת כתובות ותזמונים • מערכים לוגיים ניתנים לתכנות (PLAs): מבנה ותפעול של PLA; תכנון מעגלים קומבינטוריים באמצעותם תכנון יחידת נתונים ובקרה: • תכנון יחידת הנתונים (Data Path): רכיבי הנתיב – ALU, קובץ רגיסטרים, זיכרון; ארגון לפי סוגי הוראות • תכנון יחידת הבקרה (Control Unit): מימוש יחידת בקרה (קשיחה, מיקרו-מתוכנתת); הפקת אותות בקרה לפי סוגי הוראות מודול 2: צנרת (Pipelining) בארכיטקטורת MIPS מושג הצנרת (Pipelining): • עקרונות בסיסיים של צנרת • שלבי הצנרת: שליפת הוראה, פענוח, ביצוע, גישת זיכרון, כתיבה חזרה סכנות בצנרת (Hazards): • סכנות מבניות (Structural) • סכנות נתונים: RAW, WAR, WAW • סכנות בקרה (Control Hazards)
--	--

	טכניקות לשיפור הצנרת: • העברת ערכים קדימה (Forwarding) • עצירה (Stalling) • ניבוי תנאים (Branch Prediction) ארכיטקטורת הוראות MIPS (ISA): • פורמטים של הוראות: R-type, I-type, J-type • סקירת סט ההוראות: אריתמטיקה, לוגיקה, טעינה/אחסון, זרימת בקרה מעבד MIPS במחזור שעון יחיד: • תכנון מעבד MIPS שפועל במחזור אחד • ניתוח ביצועים מעבד MIPS מרובה-מחזורים: • תכנון מעבד שפועל על פני מספר מחזורי שעון • שיפור ביצועים לעומת מעבד במחזור יחיד מעבד MIPS עם צנרת: • תכנון של מעבד עם צנרת מלאה • זיהוי סכנות בצנרת ודרכי פתרון מודול 3: נושאים מתקדמים במעבדים הערכת ביצועים: • מדדי ביצועים: MIPS, CPI, זמן ריצה • חוק אמדל (Amdahl's Law) השוואה בין ארכיטקטורות CISC ו-RISC: • יתרונות וחסרונות של כל גישה • מתי להשתמש בכל אחת מהן נושאים מתקדמים נוספים (אופציונלי): • ביצוע מחוץ לסדר (Out-of-order Execution) • ביצוע ספקולטיבי • תכנון ואופטימיזציה של זיכרון מטמון
--	---

תיאור הקורס בעברית

עד 100 מילים.

כולל: מטרות ורציונל הקורס, והנושאים הנלמדים בו.

תיאור הקורס באנגלית

עד 150 מילים.

הטקסט יעבור עריכה לשונית על ידי היחידה הבינלאומית. בקורס שכבר יש לו תקציר באנגלית שפורסם, יש להעתיק את התקציר לכאן (על מנת שלא יפורסמו טקסטים שונים לאותו הקורס). במידה והמרצה לא יוכל לכתוב טקסט באנגלית, היחידה הבינלאומית תתרגם את הטקסט כפי שהיא מוצאת לנכון.

Module 1: Introduction to Digital Logic and Sequential Circuits

:Sequential Logic Design
(Flip-flops (SR, JK, T, D) Registers and counters Finite state machines (FSMs
Advanced Digital Design Concepts
Tri-state Logic: Concept of high-impedance state Applications in bus systems
Bus Systems: Data, address, and control buses Bus arbitration techniques
Memory Systems: Memory organization (RAM, ROM) Memory hierarchy (cache, main
memory) Memory addressing and timing
Programmable Logic Arrays (PLAs): PLA structure and operation Design of combinational
circuits using PLAs
Data Path and Control Unit Design
Data Path Design: Components of a data path (ALU, register file, memory) Data path
organization for different instruction types
Control Unit Design: Control unit implementation (hardwired, microprogrammed) Control
signal generation for different instruction types

Module 2: Pipelining MIPS Architecture

Pipelining Concept: Basic principles of pipelining Pipeline stages (instruction fetch, instruction decode, execute, memory access, write back) Pipeline Hazards: Structural hazards Data

hazards (RAW, WAR, WAW) Control hazards

Pipeline Optimization Techniques: Forwarding ,Stalling Branch

:(MIPS Instruction Set Architecture (ISA

- (o Instruction formats (R-type, I-type, J-type

- (o Instruction set overview (arithmetic, logical, load/store, control flow

:Single-Cycle MIPS Processor

- o Design of a single-cycle MIPS processor

- o Performance analysis of single-cycle processors

:Multi-Cycle MIPS Processor

- o Design of a multi-cycle MIPS processor

- o Performance improvement over single-cycle processors

:Pipelined MIPS Processor

- o Design of a pipelined MIPS processor

- o Pipeline hazards and their resolution techniques

Module 3: Advanced Processor Topics

:Performance Evaluation

(Performance metrics (CPI, MIPS, execution time

Amdahl's Law

:CISC vs. RISC Architectures

Comparison of CISC and RISC architectures

Advantages and disadvantages of each architecture

(Other Processor Topics (Optional
Out-of-order execution
Speculative execution
Cache memory design and optimization

עקרונות לפיתוח בר קיימא

במידה ורלוונטי לקורס – ציינו אלו מתוך 17 העקרונות לפיתוח בר קיימא של האו"ם (SDGS), באים לידי ביטוי בתכני הקורס (טיפול בעוני, מיגור הרעב, בריאות ורווחה, חינוך, מגדר, מים נקיים וסניטציה, אנרגיה ירוקה זמינה, צמיחה כלכלית, תעשייה, חדשנות ותשתיות, טיפול בחוסר שוויון, ערים מקיימות וקהילה, צריכה נבונה, טיפול בשינויי האקלים, שימור חיים מתחת למים, שימור חיים מעל האדמה, שלום וצדק בין ארצות, שיתוף פעולה לקידום המטרות).