

# Sistemas Digitales I

## Informe de resultados de práctica # 3

**CAPÍTULO DEL CURSO:** LENGUAJE DE DESCRIPCIÓN DE HARDWARE VHDL.

### OBJETIVOS:

- Describir componentes lógicos en VHDL utilizando en una herramienta CAD.
- Simular componentes lógicos en VHDL utilizando diagramas de tiempo en una herramienta CAD.

### GRÁFICAS

1. Adjunte una captura del código en VHDL utilizado.
2. Registre una captura del resultado de compilación en Quartus Prime.
3. Realice una captura del resultado de la simulación donde se pueda observar claramente una suma y una resta. Comente los resultados.
4. Adjunte una captura del código en VHDL utilizado.
5. Registrar una captura del resultado de compilación en Quartus Prime.
6. Realice una captura del resultado de la simulación. Comente los resultados.

**CONCLUSIONES** (Mínimo 2)

**RECOMENDACIONES** (Mínimo 2)