

<p> </p>

<div>Modul II</div><div>Laporan Akhir 1</div>

<div style="text-align: center;">

[KEMBALI KE MENU SEBELUMNYA]</div>

<center>

<div style="background-color: white; border: 2px dashed rgb(23, 128, 221); height: 240px; overflow: auto; padding: 10px; text-align: center; width: 330px;">

DAFTAR ISI

<div style="text-align: left;">

1. Jurnal;</div>

<div style="text-align: left;">

2. Alat dan Bahan</div>

<div style="text-align: left;">

3. Rangkaian Simulasi</div>

<div style="text-align: left;">

4. Prinsip Kerja Rangkaian</div>

<div style="text-align: left;">

5. Video Rangkaian</div>

<div style="text-align: left;">

6. Analisa</div>

<div style="text-align: left;">

7. Link Download</div>

</div>

</center>

<span style="font-family: "times" , "times new roman" , serif; font-size:

auto;"></td></tr><tr><td class="tr-caption" style="font-size: 12.8px; text-align: center;">
</td></tr></tbody></table>
</div>Jumper</div><div>

3. Rangkaian Simulasi

[Kembali]</div><div>
</div><div style="text-align: center;"><div class="separator" style="clear: both; text-align: center;"></div>
</div><div>
</div><div><div style="text-align: center;"><div class="separator" style="clear: both; text-align: center;"></div>

</div>
</div><div>

4. Prinsip Kerja Rangkaian

[\[Kembali\]](#)

Prinsip kerja rangkaian ini yaitu dengan memvariasikan input dari flip flop dengan mengganti-ganti 7 switch, apakah mati atau hidup. Sesuai dengan table kebenarannya maka output dari masing masing flip flop akan bervariasi juga.

Rangkaian pada percobaan 1 ini menggunakan JK flip flop dengan PRESET dan CLEAR, dan D flip flop dengan PRESET dan CLEAR. Untuk inputnya adalah switch dengan 7 saklar yang diberi nama B0 – B6 yang dihubungkan dengan VCC. B0 dihubungkan ke CLEAR di kedua flip flop, B1 dihubungkan dengan PRESET di kedua flip flop juga. B2 dihubungkan dengan J pada JK flip flop. B3 dihubungkan dengan CLOCK (yang aktif pada fall time) pada JK flip flop. B4 dihubungkan dengan K pada JK flip flop. B5 dihubungkan dengan D pada D flip flop. B6 dihubungkan dengan CLOCK (yang aktif pada rise time) pada D flip flop. JK flip flop memiliki 2 output yaitu Q dan Q', begitu juga dengan D flip flop juga memiliki 2 output yaitu Q dan Q'. Setiap output dihubungkan dengan logic probe sebagai penanda adanya keluaran dari masing masing flip flop.

ada percobaan ke-1 variasi ke-1 dengan kondisi B0(R)=0, B1(S)=1, B2(J)=don't care, B3(CLK)=don't care, B4(K)=don't care, B5(D)=don't care, dan B6(CLK)=don't care didapat output pada JK flip-flop Q=0 dan Q'=1 dan D flip-flop Q=0 dan Q'=1. Hal ini dikarenakan karena nilai pada input kaki RS tidak sama sehingga RS flip-flop yang aktif sedangkan D flip-flop dan JK-flip-flop tidak aktif sehingga output yang keluar sesuai tabel kebenaran RS flip-flop Q=0 dan Q' = 1

5. Video Rangkaian

[video](#)

[\[Kembali\]](#)

6. Analisa

6. Analisa

[analisa](#)

[\[Kembali\]](#)

Percobaan 1

1. Bagaimana jika B0 dan B1 sama sama diberi logika 0, apa yang terjadi pada rangkaian

style="font-family: times, times new roman, serif;">Jawab:

Berdasarkan pada percobaan yang telah dilakukan, ketika $B_0 = 0$ dan $B_1 = 0$, maka output yang dihasilkan output berlogika sama sesuai dengan percobaan sebelumnya, dikarenakan sebagai kondisi tetap atau output tanpa perubahan sesuai dengan tabel kebenaran

Bagaimana jika B_3 diputuskan/tidak dibubungkan pada rangkaian apa yang terjadi pada rangkaian

Jawab:

Berdasarkan percobaan yang telah dilakukan, ketika B_3 yang merupakan clock diputuskan atau tidak dihubungkan pada rangkaian maka hal ini akan mengakibatkan J dan K tidak berfungsi meskipun R dan S nya tidak aktif, apapun yang dilakukan pada J dan K tidak akan berpengaruh pada output yang dihasilkan. Karena J dan K ini tergantung pada terdapat clock atau tidak

3. Jelaskan apa yang dimaksud kondisi toggle, kondisi not change, dan kondisi terlarang pada Flip-Flop!

Jawab:

- Kondisi Toggle
- Kondisi ini terjadi ketika input $J=1$ dan $K=1$, hal ini dapat dilihat pada percobaan 1 no 7 dimana output yang dihasilkan berubah ubah kondisi, output yang berubah-ubah inilah yang disebut toggle
- Kondisi Not Change
- Kondisi ini terjadi ketika input masukkan sama-sama berlogika 0, dimana output yang dihasilkan akan sesuai dengan output pada percobaan sebelumnya. Hal inilah yang disebut sebagai kondisi tetap atau output tanpa perubahan/not change
- Kondisi Terlarang
- Kondisi ini terjadi ketika input masukkan sama-sama berlogika 1 atau pada percobaan dapat dilihat pada percobaan 1 no 3 dimana dihasilkan output $Q=1$ dan $Q'=1$, kondisi inilah yang disebut kondisi terlarang dimana kondisi ini harus dihindari agar alat tidak rusak.

7. Link Download

[Link Download](#)

[\[Kembali\]](#)

Download File Rangkaian

[Klik disini](https://drive.google.com/file/d/14Pn-G3E-cpmN1v2zW2lrlxtz9pZ4LcxK/view?usp=sharing)

Download Video Simulasi

[Klik disini](https://drive.google.com/file/d/1_rkX0nBI1mupqheYCPC_38isM1Nw3SKY/view?usp=sharing)

Klik Disini</div><div>Download datasheet D flip flop Klik Disini </div><div>Download datasheet JK flip flop Klik Disini </div><div>Download datasheet SW SPDT Klik Disini </div><div>Download datasheet logicprobe Klik Disini </div><div>
</div>