

`<h2 style="text-align: center;">MODUL
II</h2><h2 style="text-align: center;">TUGAS
PENDAHULUAN 1</h2>`

`<div style="text-align: center;">`

`[KEMBALI
KE MENU SEBELUMNYA]</div>`

`<br />`

`<center>`

`<div style="background-color: white; border: 2px dashed rgb(23, 128, 221); height: 240px; overflow:
auto; padding: 10px; text-align: center; width: 330px;">`

`<b>DAFTAR ISI</b>`

`<br />`

`<div style="text-align: left;">`

`<a href="#kondisi">1. Kondisi</a></div>`

`<div style="text-align: left;">`

`<a href="#hardware">2. Gambar Rangkaian Simulasi</a></div>`

`<div style="text-align: left;">`

`<a href="#rangkaian">3. Video Simulasi</a></div>`

`<div style="text-align: left;">`

`<a href="#flowchart">4. Prinsip Kerja</a></div>`

`<div style="text-align: left;">`

`<a href="#listing">5. Link Download</a></div>`

`<div style="text-align: left;">`

`</div>`

`</div>`

`</center>`

Kondisi

[Kembali](#)

Percobaan 1 Kondisi 10

Buatlah rangkaian J-K Flip Flop dan D Flip-Flop seperti pada gambar percobaan dengan ketentuan input B0=1, B1=0, B2=1, B3=clock, B4=1, B5=tidak dihubungkan, dan B6=clock

2. Gambar Rangkaian Simulasi

[hardware](#)

[Kembali](#)

A screenshot of a digital logic simulation circuit diagram. The circuit includes several logic gates (AND, OR, NOT, XOR) and flip-flops (J-K, D) connected in a complex network. The inputs are labeled B0 through B6, and the outputs are labeled Q0 through Q6. The circuit is implemented in a software simulation environment, likely Logisim or similar.

3. Video Simulasi

[rangkaian](#)

[Kembali](#)

BLOG_video_class

BLOG_video-704b7f3b9a09f960

4. Prinsip Kerja

[Kembali]</div><div><div style="background-color: white; color: #222222; text-align: justify;"><div>Pada rangkaian terdapat J-K flip-flop dan D flip flop. Setiap saklar SW-SPDT dihubungkan ke power untuk logika 1 dan dihubungkan ke ground untuk logika 0.</div><div>Pada J-K flip flop, Saklar SW-SPDT B0=1, B1=0, B2=1, B3=clock, dan B4=1. B0 bernilai 1 masuk ke kaki R dan B1 bernilai 0 masuk ke kaki S, yang mana pada flip flop ini inputnya aktif low. Kondisi ini membuat kaki S aktif dan R tidak aktif, jika salah satu kaki ini aktif maka kaki J dan K tidak akan berpengaruh lagi pada Output J-K flip-flop. CLK yang digunakan merupakan kondisi Fall time (1 ke 0) yang membuat output akan berubah jika CLK berpindah dari 1 ke 0. Namun karena kaki S-R aktif membuat output 1 di Q dan 0 di Q', hal ini tidak dapat dipengaruhi oleh J-K.</div><div>Selanjutnya, pada D flip-flop input, B5=tidak dihubungkan, dan B6=clock. Sama seperti J-K flip-flop, input R-S akan aktif saat berlogika 0 atau active low sedangkan pada kondisi ini kaki B1 bernilai 0 (low) yang masuk ke kaki S, sehingga membuat kaki S-R aktif. Input D diputus (karena B5=tidak dihubungkan). Kondisi ini membuat Output dari D flip-flop adalah 1 di Q dan 0 di Q'.</div><div>
</div></div>

5. Link Download

[Kembali]

</div><div><h3 style="background-color: white; color: #222222; margin: 0px; position: relative;"><div style="font-weight: 400;"><ul style="text-align: left;">Download HTML klik disiniDownload Rangkaian klik disiniDownload Video klik disiniDownload Data Sheet J-K Flip-Flop klik

[disini](https://drive.google.com/file/d/1jq3bV6_T4B1o6jRTHrbWMOLAZVm-YocE/view?usp=share_link)

Download Data Sheet D Flip-Flop klik disini</div></h3></div>

</div>