

Дешифратори: загальна характеристика, УГЗ, класифікація

1 Загальна характеристика дешифраторів

Дешифратором називається функціональний вузол комп'ютера, призначений для перетворення кожної комбінації вхідного двійкового коду в керуючий сигнал лише на одному із своїх виходів. У загальному випадку дешифратор має n однофазних входів (іноді $2n$ на-
рафазних) і

$m = 2^n$ виходів, де n – розрядність (довжина)

коду, який дешифрується. Деши-

фратор з максимально можливим числом
виходів

$m = 2^n$ називається повним. Функціону-

вання повного дешифратора описується системою логічних виразів вигляду:

$$F_0 = X_n X_{n-1} \dots X_2 X_1 ;$$

$$F_1 = X_n X_{n-1} \dots X_2 X_1$$

;

.....

$$F_{m-1} = X_n X_{n-1} \dots X_2 X_1 ;$$

де $X_1, \dots, X_n$

- вхідні двійкові
змінні;

$F_0, F_1, \dots, F_{m-1}$

- вихідні логічні
функції, що явля-

ють собою мінтерми (конституенти 1) n змінних.

Індекс функції

F_i визначає номер обраного виходу і

відповідає десятковому еквівален-

ту вхідного коду. Вихід, на якому з'являється керуючий сигнал, називається активним. Якщо значення сигналу на активному виході відображається лог. 1, то на решті пасивних виходів встановлюється лог. 0. Двійковий код, який вміщує завжди тільки одну одиницю, а інші – нулі, називається унітарним. Тому дешифратор є перетворювачем вхідного позиційного коду в унітарний вихідний код.

У дешифраторах в інтегральному виконанні стан активного виходу часто відображається значенням лог. 0, а на інших пасивних виходах встановлюється лог.1. Функціонування повного дешифратора з інверсними виходами представляється системою виду:

$$L_0 = X_n + X_{n-1} + \dots + X_2 + X_1;$$

$$L_1 = X_n + X_{n-1} + \dots + X_2 + X_1$$

;

.....

$$L_{m-1} = X_n + X_{n-1} + \dots + X_2 + X_1;$$

них. де $L_0, L_1, \dots, L_{m-1}$ - вихідні логічні функції, що є макстермами (конституєнти 0) n змін-

Індекс функції L_i визначає номер вибраного виходу і відповідає десятковому еквіваленту вхідного коду. Між двома видами вихідних функцій існує простий зв'язок: $F_i = L_i$.

Дешифратори класифікуються за такими ознаками:

- способом структурної організації – одноступеневі (лінійні) і багатоступеневі, в тому числі пірамідальні та прямокутні (матричні);
- форматом вхідного коду – двійкові, двійково-десяткові;
- розрядністю коду, який дешифрується – 2, 3, ..., n ;
- формою подачі вхідного коду – з однофазними і пара фазними входами;
- кількістю виходів – повні і неповні дешифратори;
- видом вхідних стробуючих сигналів – в прямому, або інверсному значеннях;
- типом використовуваних логічних елементів – І, НЕ, АБО, НЕ І, НЕ АБО і т.д.

До основних характеристик дешифраторів відносять: число ступенів (каскадів) дешифрації, кількість використаних логічних елементів або мікросхем, загальне число входів логічних елементів, час дешифрації і споживану потужність.

Умовні графічні позначення дешифраторів на електричних схемах показані на рис.26.1.

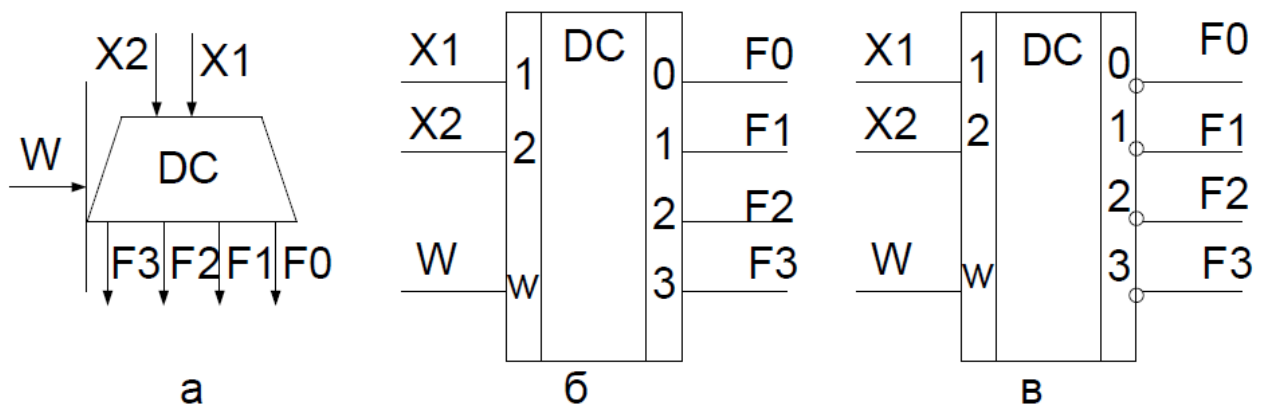


Рис.26.1 Умовні графічні позначення дешифратора:
a – на функціональних схемах; *б, в* – на принципіальних схемах

Логічна функція дешифратора позначається буквами DC (decoder). Мітки лівого додаткового поля в умовному позначенні відображають десяткові ваги входних змінних, а мітки правого додаткового поля відповідають десятковим еквівалентам входних комбінацій двійкових змінних. У схему дешифраторів вбудовуються один або два стробуючих (дозволяючи) входи, наприклад, W (рис. 26.1, б). За допомогою сигналу на вході W визначається момент спрацювання дешифратора; крім того, вход W використовується для нарощування розрядності входного коду. На практиці повний дешифратор на n входів і m виходів для стислості називають дешифратором „з n в m ”, або „ $n \rightarrow m$ ”. Наприклад, дешифратор „з 3 у 8” – активізується одна з восьми вихідних ліній.

В комп'ютерах дешифратори використовують для виконання таких операцій:

- дешифрації коду операції, записаного в регістр команд процесора, що забезпечує вибір потрібної мікропрограми;
- перетворення коду адреси операнда в команді в керуючі сигнали вибору заданої комірки пам'яті в процесі записування або читання інформації;
- забезпечення візуалізації на зовнішніх пристроях;
- реалізації логічних операцій та побудови мультиплексорів і демультимплексорів.

Використання дешифраторів для дешифрації коду операції і адреси операнда, розташованих в регістрі команд процесора, показано на рис. 26.2.

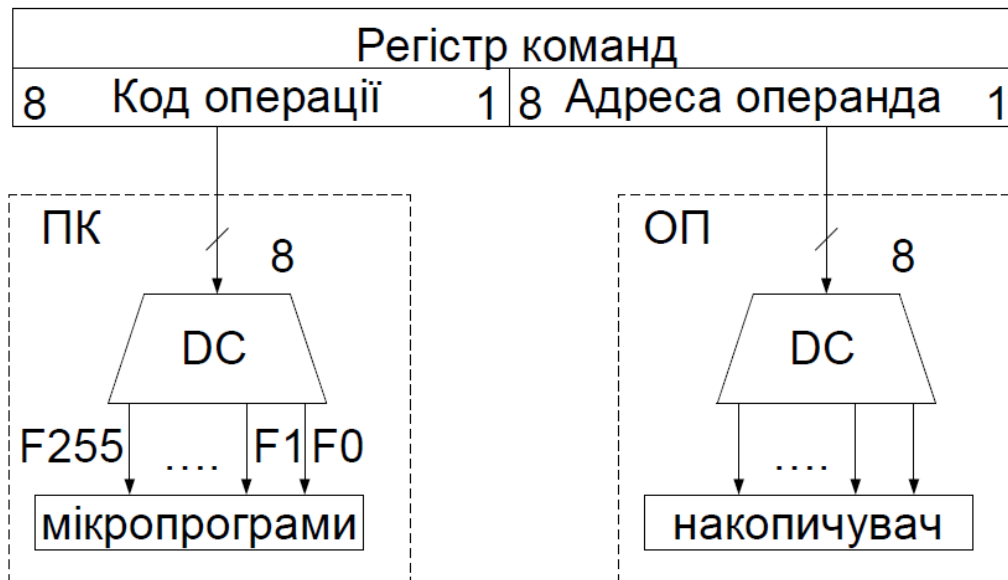


Рис.26.2. Ілюстрація використання дешифраторів

Дешифрація коду операції в пристрої керування (ПК) визначає тип машинної команди. Дешифрація адреси операнда в оперативній пам'яті (ОП) забезпечує доступ до вказаної комірки пам'яті для записування або зчитування даних.

26.1.2 Лінійні дешифратори на два входи і чотири виходи

У лінійному дешифраторі „з n в m ” кожна вихідна функція F_i реалізується повністю окремим n -вхідним логічним елементом при використанні парафазного вхідного коду. Логіка роботи повних дешифраторів на два входи X_1, X_2 і чотири прямих виходи F_0, F_1, F_2, F_3 і чотири інверсних виходи L_0, L_1, L_2, L_3 наведена в табл. 26.1 і 26.2 відповідно.

Таблиця 26.1
26.2

Таблиця

За даними табл. 26.1 отримують систему логічних функцій в ДДНФ:

$$\begin{aligned}
 F_0 &= X_2 X_1; & F_1 &= X_2 \bar{X}_1; & F_2 &= \bar{X}_2 X_1; & F_3 &= \bar{X}_2 \bar{X}_1; \\
 & & & & & & & (26.1)
 \end{aligned}$$

Для лінійного дешифратора зі стробуючим входом W система рівнянь (26.1) набуває вигляду:

$$F_0 = F_1 = X_2 X_1 W; \quad F_2 = X_2 X_1 W; \quad F_3 = X_2 X_1 W; \quad (26.2)$$

$$X_2 X_1 W;$$

Схема лінійних дешифраторів на основі рівнянь (26.1) і (26.2) показана на рис. 26.3.

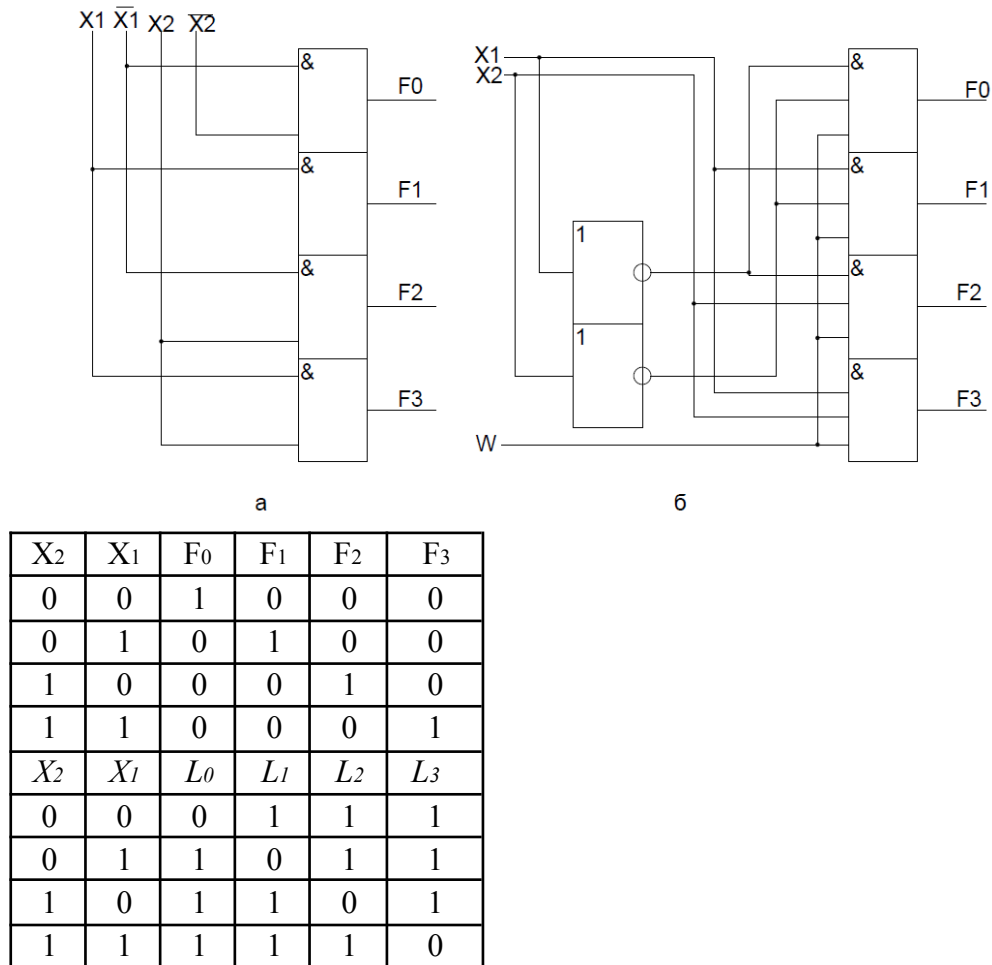


Рис.26.3. Схема лінійних дешифраторів на елементах І:
а – з парафазними входами; б – з однофазними входами і стробуванням

3 Прямокутні дешифратори

Прямокутний дешифратор будується за двоступеневою схемою. При цьому вхідний код розбивається на дві групи по $n/2$ розрядів при парному n ; при непарній розрядності групи вміщують нерівне число змінних. Дві групи змінних декодуються на першому ступені двома повними лінійними дешифраторами, а на другому ступені формуються вихідні функції.

Умовно вважають, що один з дешифраторів першого ступеня формує адреси матриці, а другий – адреси стовпчиків матриці. На перетині ліній рядків і стовпчиків підключається $m = 2^n$ двовходових схем збігу, які утворюють другий, вихідний ступінь дешифратора. При парному n матриця вентилів квадратна, при непарному n – прямокутна. Тому такі дешифратори називають матричними, або прямокутними.

Запишемо систему вихідних функцій повного дешифратора „з 4 в 16” у вигляді таких скорочених значень:

$$F_0 = a_0 b_0; \quad F_4 = a_1 b_0; \quad F_8 = a_2 b_0; \quad F_{12} = a_3 b_0; \\ (26.3)$$

$$F_1 = a_0 b_1; F_5 = a_1 b_1; F_9 = a_2 b_1; F_{13} = a_3 b_1;$$

$$F_2 = a_0 b_2; F_6 = a_1 b_2; F_{10} = a_2 b_2; F_{14} = a_3 b_2;$$

$$F_3 = a_0 b_3; F_7 = a_1 b_3; F_{11} = a_2 b_3; F_{15} = a_3 b_3;$$

де введені дворозрядні функції a_i і b_i , які реалізуються дешифраторами рядків і стовпчиків відповідно:

$$\begin{array}{lll} b_1 = X_2 X_1; & b_2 = X_2 X_1; & b_3 = X_2 X_1; \\ a_1 = X_4 X_3; & a_2 = X_4 X_3; & a_3 = X_4 X_3; \end{array} \quad (26.4)$$

Схема прямокутного дешифратора на основі рівнянь (26.3) і (26.4) показані на рис. 26.4.

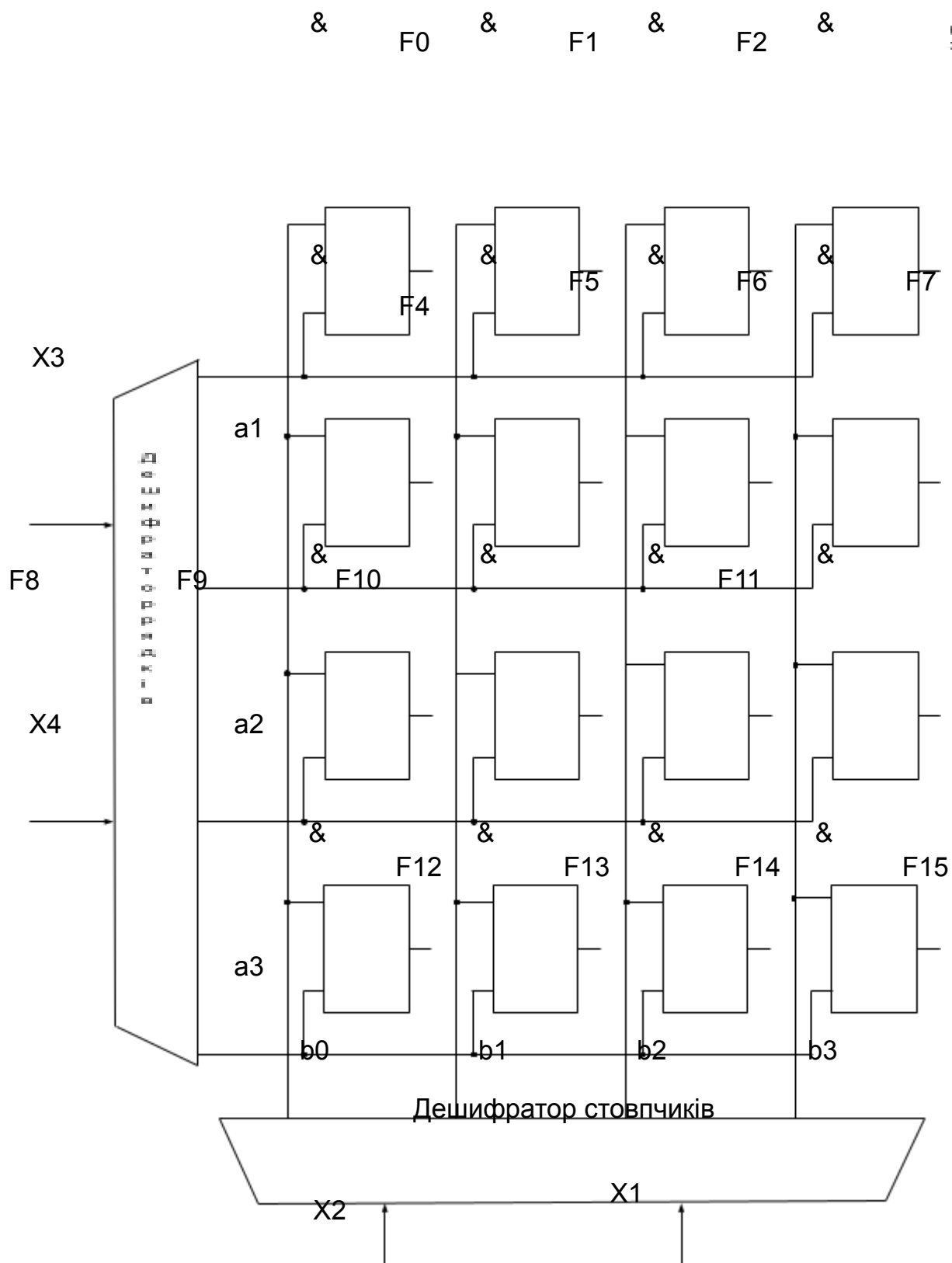


Рис.26.4. Схема прямокутного дешифратора

При великому числі розрядів прямокутний дешифратор майже у $n/2$ рази економічніший лінійного.

Принцип побудови багатоступеневих дешифраторів полягає у послідовному розбитті вхідного багаторозрядного коду до отримання у кожній групі двох – трьох розрядів. Як приклад на рис. 26.5 показано розбиття коду, який дешифрується для $n = 10$ і $n = 13$. Після цього багатоступенева схема дешифратора зображується у вигляді з'єднання ряду лінійних схем.

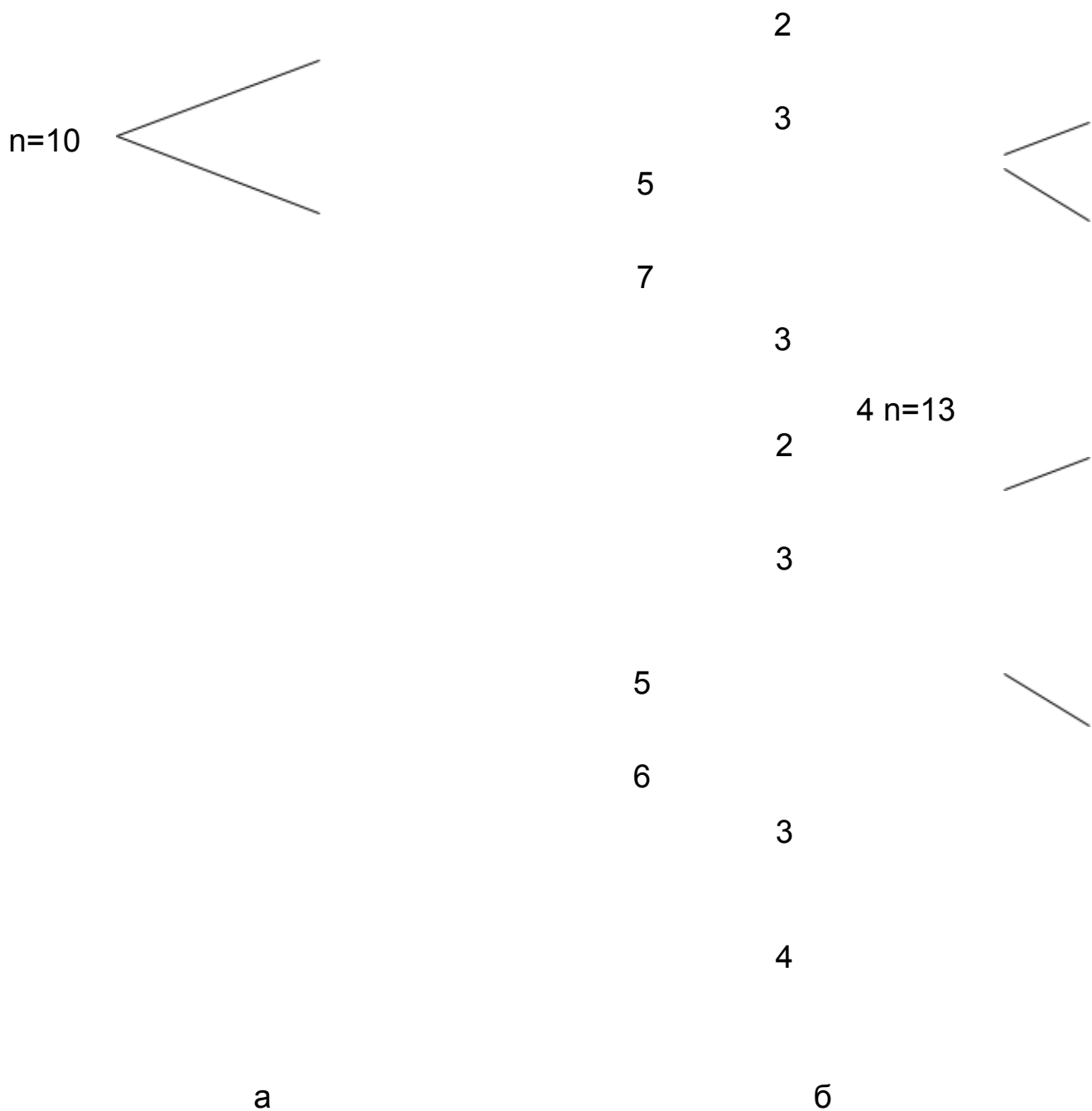


Рис. 26.5. Розбиття вхідного коду, який дешифрується на групи:
a – при $n = 10$; *б* – при $n = 13$

Під каскадуванням (нарошуванням) розуміють спосіб з'єднання дешифраторів у вигляді мікросхем середнього ступеня інтеграції для одержання більшої розрядності вхідного коду. З'єднання двох трирозрядних дешифраторів типу К5551ДЗ для декодування чотирирозрядного коду показано на рис. 26.6.

X1

1

DC X2

2

X3

4

X4

W

1

DC

1

2

4

1

W

2

L0

L1

L2

L3

L4

L5

L6

L7

L8

L9

L10

L11

L12

L13

L14

L15

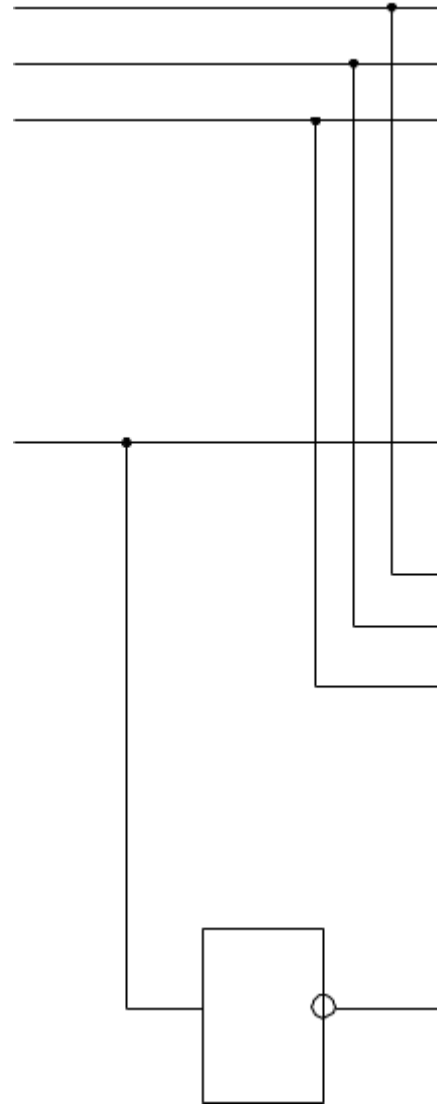


Рис.26.6. Каскадування дешифраторів

Вхідні змінні X_1, X_2, X_3 подаються паралельно на входи обох дешифраторів: змінна X_4 подається безпосередньо на вхід стробування W першого дешифратора, через інвертор – на вхід стробування другого дешифратора. Ця каскадна схема працює так. Якщо значення старшого розряду вхідного коду $X_4 = 0$, то в роботу включається перший дешифратор з інверсними вісьмома виходами $L_0, \dots, L_7$, при цьому другий дешифратор блокований (вимкнений) і на його виходах $L_8, \dots, L_{15}$ встановлюється високі рівні. При $X_4 = 1$ блокується

перший дешифратор і включається в роботу друга мікросхема.

Таким чином, через наявність стробуючого входу два трирозрядні дешифратори утворюють схему дешифрації чотирирозрядного коду.