

```
<a name="home">

</a>

<span style="font-family: helvetica;"><br />

</span><div style="text-align: center;">

<a href="https://fhahrezyt211031.blogspot.com/2023/05/prak-sisdig.html"><span
style="font-family: helvetica;">[KEMBALI KE MENU SEBELUMNYA]</span></a></div>

<span style="font-family: helvetica;"><br />

</span><center>

<div style="background-color: white; border: 2px dashed rgb(23, 128, 221); height: 240px; overflow:
auto; padding: 10px; text-align: center; width: 330px;">

<span style="font-family: helvetica;"><b>DAFTAR ISI</b>

<br />

</span><div style="text-align: left;">

<a href="#kondisi"><span style="font-family: helvetica;">1. Jurnal</span></a></div>

<div style="text-align: left;">

<a href="#hardware"><span style="font-family: helvetica;">2. Alat dan Bahan</span></a></div>

<div style="text-align: left;">

<a href="#rangkaian"><span style="font-family: helvetica;">3. Rangkaian Simulasi</span></a></div>

<div style="text-align: left;">

<a href="#flowchart"><span style="font-family: helvetica;">4. Prinsip Kerja
Rangkaian</span></a></div>

<div style="text-align: left;">

<a href="#listing"><span style="font-family: helvetica;">5. Video Rangkaian</span></a></div>

<div style="text-align: left;">

<a href="#video"><span style="font-family: helvetica;">6. Analisa</span></a></div>

<div style="text-align: left;">

<span style="font-family: helvetica;"><a href="#prinsip">7. Link Download</a><br />

</span></div>

</div>

</center>

<span><span style="font-family: helvetica; font-size: small;"><b><div><span><span style="font-size:
small;"><b><br /></b></span></span></div>1. Jurnal</b>
```


[Kembali]<div><div class="separator" style="clear: both; text-align: center;"></div></div><div><div>

2. Alat dan Bahan

[Kembali]</div><div><div style="background-color: white; color: #505050;"><div class="separator" style="clear: both; text-align: center;">
</div><div class="separator" style="clear: both; text-align: center;"><div class="separator" style="border: 0px; box-sizing: border-box; clear: both; color: #444444; margin: 0px; padding: 0px;"></div><br style="box-sizing: border-box; color: #444444;" /><ol style="border: 0px; box-sizing: border-box; color: #444444; margin: 0px 0px 20px 20px; padding: 0px 0px 0px 20px; text-align: left;"><li style="border: 0px; box-sizing: border-box; margin: 0px; padding: 0px;"> Panel DL 2203C <li style="border: 0px; box-sizing: border-box; margin: 0px; padding: 0px;"> Panel DL 2203D <li style="border: 0px; box-sizing: border-box; margin: 0px; padding: 0px;"> Panel DL 2203S <li style="border: 0px; box-sizing: border-box; margin: 0px; padding: 0px;">

padding: 0px;">Jumper<div class="separator" style="border: 0px; box-sizing: border-box; clear: both; color: #444444; margin: 0px; padding: 0px;"></div></div></div><div style="background-color: white; color: #505050;"> </div></div></div>

3. Rangkaian Simulasi

[Kembali]</div><div><div>Percobaan 1 J-K flip flop dan D flip flop </div><div>
</div><div>1. Buatlah rangkaian seperti pada gambar berikut.</div><div><div class="separator" style="clear: both; text-align: center;"></div></div><div>2. Buatlah kondisi switch-switch seperti pada jurnal yang telah disediakan </div><div>3. Catat kondisi logika LED H0 & H1 nya.</div><div><div class="separator" style="clear: both; text-align: center;">
</div>Setelah kita merangkai rangkaian tersebut pada panel DL2203D, panel DL2203S, panel DL2203C</div><div class="separator" style="clear: both; text-align: center;"></div></div></div><div class="separator" style="clear: both; text-align: center;">
</div></div>

4. Prinsip Kerja Rangkaian

[Kembali]</div><div><span style="font-family:

helvetica;"><div>Pada kondisi pertama diketahui $B_0 = 0$; $B_1 = 1$; $B_2 = B_3 = B_4 = B_5 = B_6 = \text{don't care}$. Maka didapatkan output untuk JK Flip-Flop berupa $Q = 0$; $Q' = 1$, dapat dilihat pada percobaan, kaki B_0 terhubung dengan R dan kaki B_1 terhubung dengan S, yang mana sama-sama aktif low maka reset akan aktif karena berlogika 0 dan akan memaksa output Q untuk bernilai 0. Selanjutnya untuk output D Flip-Flop, untuk mengaktifkan set reset pada D flip-flop diharuskan bernilai 0 karena aktif low.

Karena reset aktif, maka ia memaksa output untuk bernilai 0.</div><div>
</div><div>Untuk kondisi 2, dengan kondisi $B_0 = 1$; $B_1 = 0$; $B_2 = B_3 = B_4 = B_5 = B_6 = \text{don't care}$ maka didapatkan output dari JK flip-flop $Q = 1$; $Q' = 0$ dan output D Flip-Flop $Q = 1$; $Q' = 0$ hal tersebut dikarenakan arus yang masuk pada set reset; $S = 0$; $R = 1$ dimana set reset merupakan aktif low yang mana akan aktif saat berlogika 0 maka dari itu set aktif dan akan memaksa nilai Q' untuk bernilai 0 atau saat reset tidak aktif, ia akan memaksa output untuk logika 1.</div><div>
</div><div>Untuk kondisi 3, dengan kondisi $B_0 = 0$; $B_1 = 0$; $B_2 = B_3 = B_4 = B_5 = B_6 = \text{don't care}$ didapatkan output JK Flip-Flop $Q = 1$; $Q' = 1$ dan output D Flip-Flop $Q = 1$; $Q' = 1$ maka terjadi kondisi terlarang atau keadaan yang tidak diperbolehkan.</div><div>
</div><div>Untuk kondisi 4, dengan kondisi $B_0 = 1$; $B_1 = 1$; $B_2 = 0$; $B_3 = \text{clock}$; $B_4 = 0$; $B_5 = 0$; $B_6 = 1$ didapatkan output JK Flip-Flop $Q = 0$; $Q' = 1$ dan D Flip-Flop dengan output $Q = 0$; $Q' = 1$ hal tersebut terjadi karena set reset tidak aktif dikarenakan aktif flow, sehingga untuk JK Flip Flop memperoleh input dari J, K, clock begitu juga input D flip flop dari D dan clock.</div><div>
</div><div>Untuk kondisi 5, dengan kondisi $B_0 = 1$; $B_1 = 1$; $B_2 = 0$; $B_3 = \text{clock}$; $B_4 = 1$; $B_5 = 1$; $B_6 =$ mengikuti output sebelumnya. Dihasilkan output JK Flip Flop berupa $Q = 0$; $Q' = 1$ dan D Flip Flop berupa $Q = 1$; $Q' = 0$ dikarenakan saat reset tidak aktif karena berlogika 1 maka output dipengaruhi oleh nilai J, K, D, dan clock-nya untuk outputnya sesuai dengan tabel kebenaran.</div><div>
</div><div>Untuk kondisi 6, dengan kondisi $B_0 = 1$; $B_1 = 1$; $B_2 = 1$; $B_3 = \text{clock}$; $B_4 = 0$; $B_5 = \text{don't care}$; $B_6 = 0$, didapatkan output JK Flip Flop $Q = 1$; $Q' = 0$ dan output D Flip-Flop berupa $Q = 1$; $Q' = 0$ maka karena set reset aktif low dan tidak aktif maka kita mengikuti nilai J, K, D, clock dan menyamakannya dengan tabel kebenaran.</div><div>
</div><div>Untuk kondisi 7 di mana $B_0 = 1$; $B_1 = 1$; $B_2 = 1$; $B_3 = \text{clock}$; $B_4 = 1$; $B_5 = B_6 =$ tidak ada, didapatkan output dari JK Flip Flop $Q = \text{toggle}$; $Q' = \text{toggle}$ dan output dari D Flip-Flop tidak ada, hal tersebut dikarenakan output dari JK Flip Flop akan berkebalikan secara terus-menerus.</div></div><div>
</div><div>

5. Video Rangkaian

[Kembali]</div><div class="separator" style="clear: both; text-align: center;">
</div>
</div><div>
</div></div>

6. Analisa

[Kembali]</div><div>
</div><div><div>1. Dalam percobaan modul dua tentang flip flop, dikenal beberapa kondisi pada flip flop. Diantara kondisi tersebut adalah X, Toggle, ->, dan terlarang. Jelaskan apa yang dimaksud dengan kondisi X, Toggle, ->, dan terlarang </div><div> </div><div>
</div><div>Kondisi X </div><div>adalah kondisi don't care, artinya inputnya tidak berpengaruh terhadap output, baik bernilai nol ataupun 1 outputnya tidak akan berubah. Contohnya pada kondisi 1 percobaan 1 dimana inputan B2-B6 bernilai X dan B1 = B0 = 0 outputnya adalah 0 untuk Q dan Q' = 1 maupun kita rubah nilai B2 menjadi 1 atau 0 pun, nilai dari Q akan tetap 0.</div><div>
</div><div>Kondisi Toggle adalah kondisi dimana output Q dan Q' berubah-ubah secara bergantian dengan selang waktu tertentu. Kondisi ini terjadi pada J-K Flip-Flop percobaan terakhir (7) ketika inputan J dan K sama-sama bernilai 1.</div><div>
</div><div>Kondisi -> adalah kondisi dimana inputan bernilai sama dengan output sebelumnya. Contohnya pada kondisi 4 Percobaan 1, dimana inputan B6 adalah -> yang mana pada percobaan kita menjadi nilai 1, karena output Q Percobaan 1 kondisi 3 adalah 1.</div><div>
</div><div>Kondisi terlarang adalah ketika output dari Q dan Q' sama-sama 1 atau sama-sama 0 (bernilai sama) dimana secara teori Q' adalah kebalikan dari Q. Contoh pada kondisi 3.</div></div><div>
</div><div>2. Dalam percobaan satu, apabila nilai B0 dan B1 sama-sama diberi logika 0, apa output yang dihasilkan pada percobaan? Kenapa hal ini bisa terjadi? Apa penyebab dan akibatnya pada rangkaian ?</div><div>Jawabannya:</div><div>
</div><div>Ketika B0 dan B1 sama-sama 0, output pada J-K dan D Flip Flop Q dan Q' sama-sama bernilai 1. Hal ini terjadi karena input B0 dan B1 adalah input untuk R dan S dan pada Flip-Flop merupakan kaki R dan S sama-sama aktif low, artinya akan aktif ketika inputan bernilai 0, karena R dan S aktif, input J-K dan D diabaikan. Sehingga pada rangkaian terjadi kondisi terlarang di mana input Q dan Q' bernilai sama, dan kondisi set reset aktif secara bersamaan.</div><div>
</div><div><div>3. Pada percobaan satu kondisi 1, 2, dan 3, terdapat kondisi X pada inputan B2, B3, B4, B5, B6. Apakah inputan ini akan </div><div>mempengaruhi output yang dihasilkan ? Jika iya, kenapa itu terjadi dan jika tidak siapa sebenarnya yang mempengaruhi nilai outputnya dan kenapa?</div><div>Jawabannya:</div><div>
</div><div>Inputan dari B2-B6 tidak berpengaruh karena salah satu input dari set (S) dan reset (R) aktif, yaitu ketika salah satu kaki B1 dan B0 bernilai nol karena aktif low, karena S dan R aktif sehingga input kaki J dan K maupun kaki D diabaikan atau don't care, artinya tidak ada pengaruh ke output, yang mempengaruhi output cuma kaki R dan kaki S. Ketika input S = 0 maka Q = 1 ketika input R = 0 dari Q akan 0 karena reset aktif.</div></div><div>
</div><div><div>
</div><div>7. Link Download</div></div>

[Kembali]

</div></div><div>
</div><div>Download HTML</div><div>Download Rangkaian</div><div>Download vidio Rangkaian</div><div>Download Datasheet AND</div><div>Download Datasheet NOT</div><div>Download Datasheet OR</div><div>Download Datasheet NAND</div><div>Download Datasheet NOR</div><div>Download Datasheet XOR</div><div>Download Datasheet XNOR</div><div>Download Datasheet SPDT</div><div>
</div>