

¿PLD?

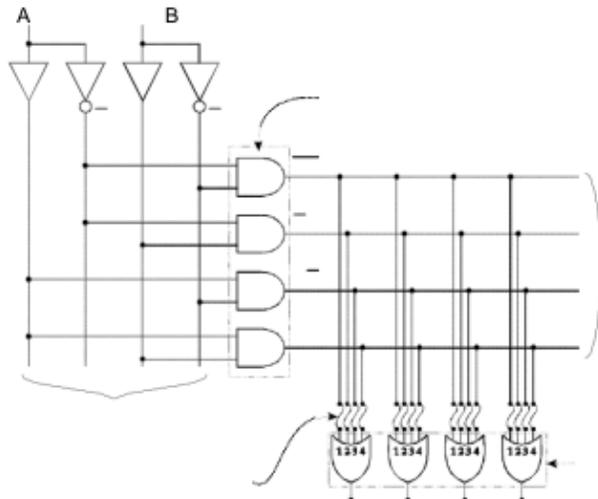
Dispositivo Lógico Programable: circuitos integrados que ofrecen a los diseñadores (en un chip), un arreglo de compuertas lógicas y flip-flop¹, que pueden ser programados por el usuario para implementar funciones lógicas pudiendo reemplazar varios circuitos integrados estándares o de funciones fijas.

Ventajas

- Representan menor costo para los fabricantes
- Pueden reemplazar funciones de otros dispositivos lógicos.
- Reducción de espacio en las tarjetas de circuito impreso.
- Simplificación del alambrado entre unos chips y otros.
- Menor consumo de energía
- Realización de aplicaciones especiales no encontradas en circuitos integrados.
- Procesos de ensamblado más rápidos, menor probabilidad de que puedan ocurrir fallas, así como menores procedimientos en la detección de fallas cuando estas se presenten.

Un PLD típico está compuesto de arreglos de compuertas lógicas, uno de ellos a base de compuertas AND al que se le denomina **Plano AND** y el otro de compuertas OR, denominado **Plano OR**; estos pueden ser programables y dependiendo del plano o los planos que lo sean, será la clasificación que reciba el PLD. Las variables de entrada tienen interconexiones hacia los planos, a través de compuertas con salidas complementarias (una salida inversora y una no-inversora); y salidas de los planos, conectadas a las terminales externas del dispositivo, por elementos lógicos como: inversores, compuertas OR y flip-flop¹; además, en algunos casos existe retroalimentación de las salidas hacia uno de los planos, para tomarlas como entradas nuevamente (utilizada frecuentemente en lógica secuencial). La programación se lleva a cabo por medio de conexiones fusibles; de tal forma que en una compuerta OR, una entrada con conexión fusible abierto (quemada) funcione como un cero lógico y una conexión intacta como el valor de variables de entrada.

Por ejemplo, se tienen dos variables de entrada A y B, en donde cada una se conecta a dos compuertas, a un inversor y a un no-inversor, las salidas de dichas compuertas van directamente conectadas al Plano AND y las salidas de las compuertas del Plano AND, van conectadas a las entradas de las del Plano OR y las salidas de este plano, hacia las terminales externas del dispositivo.



Las salidas S₁, S₂, S₃ y S₄ se pueden programar en forma individual para lograr cualquier función posible con solo "Quemar los fusibles". Por ejemplo para obtener la operación de una compuerta NOR-Exclusiva en la salida S₁, se necesitan quemar los fusibles 2 y 3. Recordando que en este ejemplo un fusible quemado es igual a un cero lógico.

¹ Flip-Flop: unidad básica de memoria

¿PLD? Dispositivo Lógico Programable: circuitos integrados que ofrecen a los diseñadores (en un chip), un arreglo de compuertas lógicas y flip-flop's

1

, que pueden ser programados por el usuario para implementar funciones lógicas pudiendo reemplazar varios circuitos integrados estándares o de funciones fijas.

Ventajas

- Representan menor costo para los fabricantes
- Pueden reemplazar funciones de otros dispositivos lógicos.
- Reducción de espacio en las tarjetas de circuito impreso.
- Simplificación del alambrado entre unos chips y otros.
- Menor consumo de energía
- Realización de aplicaciones especiales no encontradas en circuitos integrados.
- Procesos de ensamblado más rápidos, menor probabilidad de que puedan ocurrir fallas, así como menores procedimientos en la detección de fallas cuando estas se presenten.

Un PLD típico está compuesto de arreglos de compuertas lógicas, uno de ellos a base de compuertas AND al que se le denomina Plano AND y el otro de compuertas OR, denominado Plano OR; estos pueden ser programables y dependiendo del plano o los planos que lo sean, será la clasificación que reciba el PLD. Las variables de entrada tienen interconexiones hacia los planos, a través de compuertas con salidas complementarias (una salida inversora y una no-inversora); y salidas de los planos, conectadas a las terminales externas del dispositivo, por elementos lógicos como: inversores, compuertas OR y flip-flop's; además, en algunos casos existe retroalimentación de las salidas hacia uno de los planos, para tomarlas como entradas nuevamente (utilizada frecuentemente en lógica secuencial). La programación se lleva a cabo por medio de conexiones fusibles; de tal forma que en una compuerta OR, una entrada con conexión fusible abierto (quemada) funcione como un cero lógico y una conexión intacta como el valor de variables de entrada.

Por ejemplo, se tienen dos variables de entrada A y B, en donde cada una se conecta a dos compuertas, a un inversor y a un no-inversor, las salidas de dichas compuertas van directamente conectadas al Plano AND y las salidas de las compuertas del Plano AND, van conectadas a las entradas de las del Plano OR y las salidas de este plano, hacia las terminales externas del dispositivo.

A B

Las salidas S1, S2, S3 y S4 se pueden programar en forma individual para lograr cualquier función posible con solo "Quemar los fusibles". Por ejemplo para obtener la operación de una compuerta NOR-Exclusiva en la salida S1, se necesitan quemar los fusibles 2 y 3. Recordando que en este ejemplo un fusible quemado es igual a un cero lógico.

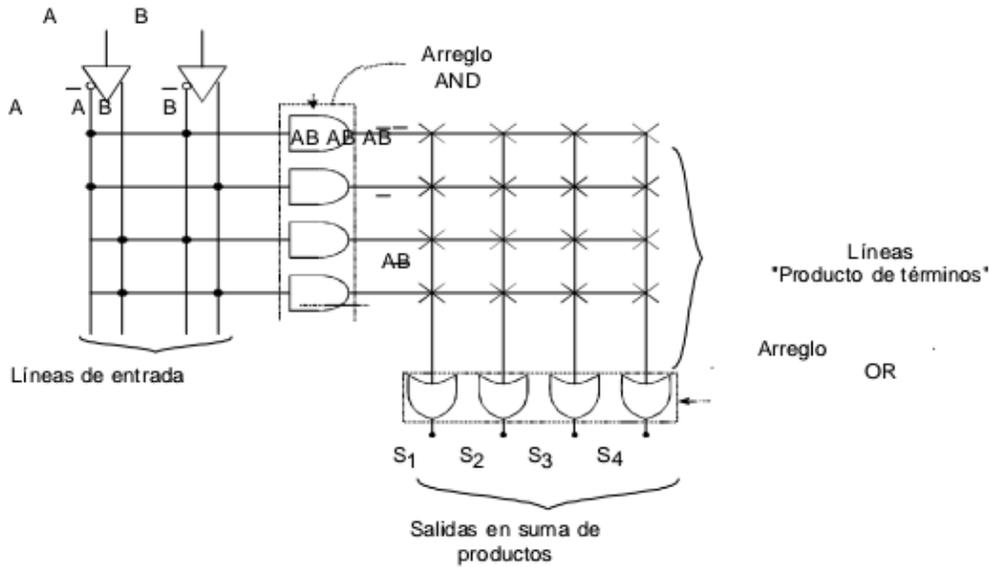
1

Flip-Flop: unidad básica de memoria

SIMBOLOGIA ADOPTADA EN LOS PLD's

Los fabricantes han sustituido el símbolo del inversor y del no-inversor en uno solo; pero, con dos salidas complementadas. Han simplificado las líneas de entrada a una compuerta AND u OR, por medio de una sola línea. Las conexiones entre compuertas se representan mediante una "X" o un punto. Las "X" se encuentran en el Plano programable y describen una conexión fusible intacta. En el Plano fijo, un punto representa una conexión fija y que por supuesto, ya no puede cambiarse. La ausencia de estos dos símbolos en un cruce de líneas significa que no existe conexión entre ellas.

Ejemplo:



SIMBOLOGIA ADOPTADA EN LOS PLD's Los fabricantes han sustituido el símbolo del inversor y del no-inversor en uno solo; pero, con dos salidas complementadas. Han simplificado las líneas de entrada a una compuerta AND u OR, por medio de una sola línea. Las conexiones entre compuertas se representan mediante una "X" o un punto. Las "X" se encuentran en el Plano programable y describen una conexión fusible intacta. En el Plano fijo, un punto representa una conexión fija y que por supuesto, ya no puede cambiarse. La ausencia de estos dos símbolos en un cruce de líneas significa que no existe conexión entre ellas.

Ejemplo:

A B

Arreglo AND A A B B

A B A B A B

A B

Líneas de entrada

Líneas "Producto de términos"

Arreglo

OR

S

1

S

2

S

3

S

4

Salidas en suma de productos

CLASIFICACION ENTRE ARQUITECTURAS DE LOS PLD's

La clasificación de los PLD's, como se mencionó anteriormente, dependerá básicamente del plano o los planos que sean programables. La clasificación se hace en tres grupos:

ROM: *Mask Read-Only Memory* (Memoria de Máscara Programable de Solo Lectura), Dispositivo programado solamente por el fabricante y como se muestra en el esquema anterior este se subdivide en tres partes que son:

- **PROM:** *Programmable Read-Only Memory* (Memoria Programable de Solo Lectura), Dispositivo programado por el usuario y no borrable o reprogramable.
- **EPROM:** *Erasable Programmable Read-Only Memory* (Memoria Programable y Borrable de Solo Lectura); este tipo de Memorias se borran Mediante Luz ultravioleta; con la ventaja de que puede ser programada por el usuario.
- **EEPROM:** *Electrically Erasable Programmable Read-Only Memory* (Memoria Programable y Borrable Eléctricamente de Solo Lectura); al igual que la anterior está puede ser programada por el usuario.

Y pueden ser utilizados como PLD's, debido a que las entradas de direccionamiento pueden ser manejadas como variables de entrada en las ecuaciones y las salidas de la memoria, como salidas de las mismas. El número de productos es igual a:

$$2^n \times S = C$$

Donde:

n es igual al número de variables de Entrada. S es la cantidad de funciones de Salida.
C es la capacidad de la memoria en bits.

De tal forma que, para una ecuación de cuatro variables de entrada y cuatro funciones distintas de salida será necesario una memoria de:

$$2^4 \times 4 = 16 \times 4 = 64 \text{ bits}$$

en caso de que fuera una de ocho variables de entrada y de cuatro funciones de salida sería necesario una memoria de:

$$2^8 \times 4 = 256 \times 4 = 1K \text{ bits, una 74S287 por ejemplo}$$

y en caso de que fuese necesario manejar doce entradas y ocho salidas se necesitaría una memoria de:

$$2^{12} \times 8 = 4K \times 8 = 32K \text{ bits, una 27C32 por ejemplo.}$$

En este tipo de PLD's el plano AND es fijo y el OR es programable.

PLA: *Programmable Logic Array* (Arreglo Lógico Programable), este tipo de dispositivos resuelve el problema de las PROM; debido a que, tiene tanto el plano AND como el OR programables. De forma que solo se seleccionan los productos de términos necesarios para las diferentes aplicaciones; esto hace mucho más eficiente la matriz programable y al dispositivo más versátil. A este tipo de dispositivos, también se les conoce como *Field Programmable Logic Array* (Areglos Lógicos Programables de Campo). Los FPLA o PLA aceptan más variables de entrada con mucho menor producto de términos que 2^n . Estos PLD's incluyen además la capacidad de programar la polaridad de salida, lo que permite trabajar con max-términos si se requieren; esto se logra a través de una OR- Exclusiva.

Un FPLA es el TIFPLA840 de Texas Instruments, el cual es especificado como un FPLA de $14 \times 32 \times 6$. Es decir que, tiene 14 variables como entradas, 32 compuertas AND para generar los productos lógicos de las variables, y 6 compuertas OR que pueden formar cualquier combinación de las salidas de las compuertas AND.

Un ejemplo más es la serie MAPL *Multiple Array Programmable Logic* (Lógica Programable en Arreglo Múltiple), de National Semiconductor; que no son, más que arreglos de FPLAS como son: El MAPL128 y el MAPL144, algunos incluyen un arreglo PAL; como lo es el MAPL244. No obstante, los fusibles adicionales (debido a que hay dos planos programables), agregan un retardo mayor que los de un solo plano programable y una circuitería más compleja y al mismo tiempo la programación se vuelve más elaborada. Debido a la tecnología que utilizan también aumenta su costo.

PAL: *Programmable Array Logic* (Lógica en un Arreglo Programable), la arquitectura de éste PLD está compuesta por un Plano AND programable y el Plano OR fijo. Este dispositivo es el intermedio entre una PROM

CLASIFICACION ENTRE ARQUITECTURAS DE LOS PLD's La clasificación de los PLD's, como se mencionó anteriormente, dependerá básicamente del plano o los planos que sean programables. La clasificación se hace en tres grupos:

ROM: Mask Read-Only Memory (Memoria de Máscara Programable de Solo Lectura), Dispositivo programado solamente por el fabricante y como se muestra en el esquema anterior este se subdivide en tres partes que son:

- PROM: Programmable Read-Only Memory (Memoria Programable de Solo Lectura), Dispositivo programado por el usuario y no borrrable o reprogramable.
- EPROM: Erasable Programmable Read-Only Memory (Memoria Programable y Borrable de Solo Lectura); este tipo de Memorias se borrran Mediante Luz ultravioleta; con la ventaja de que puede ser programada por el usuario.
- EEPROM: Electrically Erasable Programmable Read-Only Memory (Memoria Programable y Borrable Eléctricamente de Solo Lectura); al igual que la anterior está puede ser programada por el usuario.

Y pueden ser utilizados como PLD's, debido a que las entradas de direccionamiento pueden ser manejadas como variables de entrada en las ecuaciones y las salidas de la memoria, como salidas de las mismas. El número de productos es igual a:

2

n

x S = C Donde:

n es igual al número de variables de Entrada. S es la cantidad de funciones de Salida. C es la capacidad de la memoria en bits.

De tal forma que, para una ecuación de cuatro variables de entrada y cuatro funciones distintas de salida será necesario una memoria de:

2

4

$$x 4 = 16 \times 4 = 64 \text{ bits en caso de que fuera una de}$$

ocho variables de entrada y de cuatro funciones de salida sería necesario una memoria de:

2

8

$$x 4 = 256 \times 4 = 1K \text{ bits, una 74S287 por ejemplo y en caso de que}$$

fuese necesario 2 12

manejar x 8 = 4K doce x 8 = entradas 32K bits, y ocho salidas una 27C32 por se necesitaría una memoria de:

ejemplo.

En este tipo de PLD's el plano AND es fijo y el OR es programable.

PLA: Programmable Logic Array (Arreglo Lógico Programable), este tipo de dispositivos resuelve el problema de las PROM; debido a que, tiene tanto el plano AND como el OR programables. De forma que solo se seleccionan los productos de términos necesarios para las diferentes aplicaciones; esto hace mucho más eficiente la matriz programable y al dispositivo más versátil. A este tipo de dispositivos,

también se les conoce como Field Programmable Logic Array (Arreglos Lógicos Programables de Campo). Los FPLA o PLA aceptan más variables de entrada con mucho menor producto de términos que 2^n

. Estos PLD's incluyen además la capacidad de programar la polaridad de salida, lo que permite trabajar con max-términos si se requieren; esto se logra a través de una OR- Exclusiva.

Un FPLA es el TIFPLA840 de Texas Instruments, el cual es especificado como un FPLA de 14 x 32 x 6. Es decir que, tiene 14 variables como entradas, 32 compuertas AND para generar los productos lógicos de las variables, y 6 compuertas OR que pueden formar cualquier combinación de las salidas de las compuertas AND.

Un ejemplo más es la serie MAPL Multiple Array Programmable Logic (Lógica Programable en Arreglo Múltiple), de National Semiconductor; que no son, más que arreglos de FPLAS como son: El MAPL128 y el MAPL144, algunos incluyen un arreglo PAL; como lo es el MAPL244. No obstante, los fusibles adicionales (debido a que hay dos planos programables), agregan un retardo mayor que los de un solo plano programable y una circuitería más compleja y al mismo tiempo la programación se vuelve más elaborada. Debido a la tecnología que utilizan también aumenta su costo.

PAL: Programmable Array Logic (Lógica en un Arreglo Programable), la arquitectura de éste PLD está compuesta por un Plano AND programable y el Plano OR fijo. Este dispositivo es el intermedio entre una PROM

y un PLA; debido a que, por cada entrada que se agregue no será necesario duplicar la cantidad de fusibles y el tener un plano fijo conduce a un menor retardo en la circuitería interna. También incluye la capacidad de programar la polaridad de salida. Este PLD puede incluir una serie de componentes a la salida del plano OR, como pueden ser: Inversores y Flip-Flops, que permitirán hacer del dispositivo, un PLD versátil.

Existen dos tipos de PAL's, uno de los cuales puede ser programado solamente una vez, por ejemplo: El PAL16R8 el cual es un dispositivo de 16 posibles entradas y con 8 salidas; todas con Flip-Flops. El otro PAL mejor conocido como GAL de *Generic Array Logic* (Lógica en Arreglo Genérico), combina las características de un PAL; pero además, agrega tecnología especial para ser borrado y programado eléctricamente.

CRONOLOGIA DE LOS PLD'S

1948 Se inventa el transistor de contacto puntual en los Laboratorios Bell Telephone en Estados Unidos, resultado de una investigación sobre semiconductores llevada a cabo por Walter Brattain, John Bardeen y William Shockley, quienes recibirían el premio Nobel por su enorme contribución en 1956.

1951 Se logra un transistor con una estructura como la que se conoce actualmente.

1957 John Wallmark de RCA patenta el FET (Field Effect Transistor).

1959 Se concibe el primer Circuito Integrado Digital en la compañía Texas Instruments y es Jack Kilby quien desarrolla un Flip-Flop sobre una base de substrato de Germanio y contenía solo cuatro transistores.

1961 Se presenta la primera familia de Circuitos Integrados Digitales comerciales, denominada R.T.L. (Resistor - Transistor - Logic) y que fue introducida por Fairchild Semiconductor bajo la serie 900, esta familia operaba a 3.2 Voltios, poco tiempo después nace otra familia denominada D.T.L. (Diode - Transistor - Logic).

1962 Aparece la familia T.T.L. (Transistor - Transistor - Logic), con características como el de ser más rápida que sus predecesoras, los primeros trabajos hechos en TTL los realizó James Buie de Pacific Semiconductor (hoy subsidiaria de TRW). En ese mismo año Steven Hofstein y Frederick Heiman de RCA, desarrollan el MOSFET y a finales del mismo, fabrican el primer Circuito Integrado MOS (Metal - Oxide - Silicon) que contenía 16 transistores sobre una pastilla de silicio de 0.063 mm por lado.

1963 La compañía RCA producía un Circuito Integrado con cientos de MOSFET'S en un área muy reducida, al mismo tiempo nacían familias como la MOS de canal N y de canal P, NMOS y PMOS respectivamente y así como la CMOS (Complementary MOS). La CMOS se impuso con el tiempo bajo la serie 40XX lanzada por RCA. Y poco tiempo después la 74CXX de National Semiconductor.

A mediados de los 60's surge el primer PLD, una matriz de diodos configurables y fusibles desarrollado por Harris Semiconductor (conocida en ese tiempo como Radiation, Inc.).

1967 Fairchild lanza al mercado una ROM de 64 bits con tecnología MOS.

1969 Nace el primer PLA, desarrollado por IBM y descrito como ROAM (Read - Only Associative - Memory).

1970 La compañía Harris crea la PROM, que combinaba la tecnología de fusibles de nicromo con una simplificación en la estructura de la ROM. En este mismo año Texas Instruments fabrica el TMS 200 y era un Circuito Integrado de máscara programable basado en el ROAM de IBM, este manejaba diecisiete entradas y ocho salidas, contenía ocho Flip - Flops JK como elementos de memoria.

1971 Collins Radio ofrece otro PLA de máscara programable denominado CRC 3506/7, similar al TMS 200. Intel hace una innovación tecnológica al introducir la EPROM borrable con rayos UV. General Electric abre una puerta más con una nueva tecnología PROM, desarrollada por David Greer, donde la estructura consistía de un Plano-Or y señales que van hacia un Plano-And; permitiendo el uso de lógica de multinivel sin desperdicio de pines I/O.

1971 Al mismo tiempo General Electric hace experimentos con PLD's de tecnología MOS, usando las características de los PLA y con la tecnología de borrado con rayos UV. En junio Intel ofrece al mercado el primer microprocesador MOS (el 4004, de 4 bits) que contenía 2300 transistores.

1972 MOSTEK Corporation lanza la primera Memoria de Alta Densidad (una RAM dinámica de 1024 bits e Intel

y un PLA; debido a que, por cada entrada que se agregue no será necesario duplicar la cantidad de fusibles y el tener un plano fijo conduce a un menor retardo en la circuitería interna. También incluye la capacidad de programar la polaridad de salida. Este PLD puede incluir una serie de componentes a la salida del plano OR, como pueden ser: Inversores y Flip-Flops, que permitirán hacer del dispositivo, un PLD versátil. Existen dos tipos de PAL's, uno de los cuales puede ser programado solamente una vez, por ejemplo: El PAL16R8 el cual es un dispositivo de 16 posibles entradas y con 8 salidas; todas con Flip-Flops. El otro PAL mejor conocido como GAL de Generic Array Logic (Lógica en Arreglo Genérico), combina las características de un PAL; pero además, agrega tecnología especial para ser borrado y programado eléctricamente.

CRONOLOGIA DE LOS PLD'S 1948 Se inventa el transistor de contacto puntual en los Laboratorios Bell Telephone en Estados Unidos, resultado de una investigación sobre semiconductores llevada a cabo por Walter Brattain, John Bardeen y William Shockley, quienes recibirían el premio Nobel por su enorme contribución en 1956.

1951 Se logra un transistor con una estructura como la que se conoce actualmente.

1957 John Wallmark de RCA patenta el FET (Field Effect Transistor).

1959 Se concibe el primer Circuito Integrado Digital en la compañía Texas Instruments y es Jack Kilby quién desarrolla un Flip-Flop sobre una base de substrato de Germanio y contenía solo cuatro transistores.

1961 Se presenta la primera familia de Circuitos Integrados Digitales comerciales, denominada R.T.L. (Resistor - Transistor - Logic) y que fue introducida por Fairchild Semiconductor bajo la serie 900, esta familia operaba a 3.2 Voltios, poco tiempo después nace otra familia denominada D.T.L. (Diode - Transistor - Logic).

1962 Aparece la familia T.T.L. (Transistor - Transistor - Logic), con características como el de ser más rápida que sus predecesoras, los primeros trabajos hechos en TTL los realizó James Buie de Pacific Semiconductor (hoy subsidiaria de TRW). En ese mismo año Steven Hofstein y Frederick Heiman de RCA, desarrollan el MOSFET y a finales del mismo, fabrican el primer Circuito Integrado MOS (Metal - Oxide - Silicon) que contenía 16 transistores sobre una pastilla de silicio de 0.063 mm por lado.

1963 La compañía RCA producía un Circuito Integrado con cientos de MOSFET'S en un área muy reducida, al mismo tiempo nacían familias como la MOS de canal N y de canal P, NMOS y PMOS respectivamente y así como la CMOS (Complementary MOS). La CMOS se impuso con el tiempo bajo la serie 40XX lanzada por RCA. Y poco tiempo después la 74CXX de National Semiconductor.

A mediados de los 60's surge el primer PLD, una matriz de diodos configurables y fusibles desarrollado por Harris Semiconductor (conocida en ese tiempo como Radiation, Inc.).

1967 Fairchild lanza al mercado una ROM de 64 bits con tecnología MOS.

1969 Nace el primer PLA, desarrollado por IBM y descrito como ROAM (Read - Only Associative - Memory).

1970 La compañía Harris crea la PROM, que combinaba la tecnología de fusibles de nicromo con una simplificación en la estructura de la ROM. En este mismo año Texas Instruments fabrica el TMS 200 y era un Circuito Integrado de máscara programable basado en el ROAM de IBM, este manejaba diecisiete entradas y ocho salidas, contenía ocho Flip - Flops JK como elementos de memoria.

1971 Collins Radio ofrece otro PLA de máscara programable denominado CRC 3506/7, similar al TMS 200. Intel hace una innovación tecnológica al introducir la EPROM borrable con rayos UV. General

Electric abre una puerta más con una nueva tecnología PROM, desarrollada por David Greer, donde la estructura consistía de un Plano-Or y señales que van hacia un Plano-And; permitiendo el uso de lógica de multinivel sin desperdicio de pines I/O.

1971 Al mismo tiempo General Electric hace experimentos con PLD's de tecnología MOS, usando las características de los PLA y con la tecnología de borrado con rayos UV. En junio Intel ofrece al mercado el primer microprocesador MOS (el 4004, de 4 bits) que contenía 2300 transistores.

1972 MOSTEK Corporation lanza la primera Memoria de Alta Densidad (una RAM dinámica de 1024 bits e Intel

ofrece los primeros microprocesadores de 8 bits (el 8008 y el 8080).

1973 National Semiconductor crea su propio PLA de máscara programable similar al TMS 200 pero con catorce entradas y ocho salidas sin elementos de memoria. El mérito a este dispositivo consistió en su menor complejidad en el diseño, mostrando así un avance en la nueva tecnología. Este dispositivo fue conocido como DM7575/DM8575.

1974 Monolithic Memories fabrica un dispositivo denominado PALA (Programable Associative Logic Array) bajo el número de parte MMT 5760/6760 implementaba multiniveles y circuitos secuenciales de más de 100 compuertas e incorporó bajo acuerdo de General Electric innovaciones en el dispositivo de máscara programable.

1975 Intersil anuncia el IM5200 un FPLA; poco después, Signetics hace lo mismo con el 82S100 que logró encabezar la carrera de los PLD's durante un tiempo.

1978 En el verano de este año nace el dispositivo PAL, como un proyecto de MMI encabezado por John Birkner, en el que se pretendían satisfacer varias necesidades del mercado, entre ellas las de reemplazar la lógica estándar, mejorar los tamaños y la velocidad de los ya existentes; bajo esta idea los PAL invaden el mercado. El PAL que conocemos actualmente se basa en un diseño de H.T. Chua. MMI ofrece soporte para el manejo de los nuevos dispositivos en el "PAL Handbook" escrito por John Birkner y que en el mismo se acompañaba de un programa hecho en Fortran para ayudar a programar los dispositivos.

1980 Se propone y presenta el primer formato JEDEC para los PLD's.

1981 Signetics registra FPLA's con aplicaciones para máquinas de estados.

1982 En el verano de este año Bill Wiley Smith de Signetics crea una muestra de lo que sería el soporte para la programación de PLD's, llamado BEE (Boolean Equation Entry); cuyas características eran las Ecuaciones Booleanas, notación de estados, tablas de verdad, minimización lógica en forma automática así como la simulación de los diseños. En diciembre de este año se anuncia el proyecto ABEL (Advanced Boolean Expression Language) para un número limitado de PLD's de diferentes manufacturas y que fue un Software muy bien recibido por el mercado. Se crea otra herramienta denominada CUPL (Common Universal tool for Programable Logic) desarrollado por Bob Osann de Assited Technology.

1983 En Marzo se crea una segunda versión de CUPL soportando a todos los PAL's soportados por PALASM y un número limitado de FPLAS combinatoriales de Signetics con características similares al BEE. Poco después surge la segunda versión de ABEL que soportaba virtualmente a todos los PLD's de esa época y esto toma por sorpresa a los diseñadores de otras herramientas de Software. En seguida National Semiconductor lanza el Software llamado PLAN (Programable Logic Analysis by National). Cypress Semiconductor crea un PAL que se hace popular por su alta velocidad. Lattice Semiconductor compañía especializada en tecnología borrable CMOS crea un PAL borrable eléctricamente al que llamaron Generic Array Logic o GAL, pero esta compañía tuvo problemas legales con MMI hoy parte de AMD quién obtuvo el derecho de producir el GAL pero bajo otro nombre, en seguida Lattice crea el GAL 39V18 conocido hoy como Lattice 6001.

1983 International CMOS Technology (I.C.T.) desarrolla un dispositivo llamado PEEL (Programable Electrically Erasable Logic) con tecnología de Lattice y fue llevado a primera producción en 1986.

1984 Se anuncia un nuevo concepto en cuanto a la tecnología de los PLD's y es encabezado por Xilinx Corporation, el dispositivo desarrollado es el LCA (Logic Cell Array) compuesto de pequeñas celdas lógicas, similares a la arquitectura de una PROM, donde cada celda es capaz de crear cuatro o cinco funciones de entrada y dos de salida. Poco después Exel Microelectronic's crece el XL78C800 Erasic, este dispositivo creado bajo arreglo de multiniveles de lógica y tardo aún más el diseño del Software y programación en estar disponible.

1988 Actel Corporation introduce un FPGA diferente al de los dispositivos de Xilinx. El Act 1 de densidad comparable al arreglo de compuertas de máscara programable al igual que el LCA requiere de el trazado de rutas de funciones lógicas para ser usado efectivamente.

1989 Plessey Semiconductor introduce un FPGA con características similares, pero con una mejor arquitectura.

1995 Lattice Semiconductor Corporation, anuncia el 7 de Agosto, la introducción de World/E fastest 3.3 Volt 22V10, cuya máxima velocidad de operación es de 7.5 ns (133.33 Mhz). Que permite la utilización del dispositivo con baterías.

ofrece los primeros microprocesadores de 8 bits (el 8008 y el 8080).

1973 National Semiconductor crea su propio PLA de máscara programable similar al TMS 200 pero con catorce entradas y ocho salidas sin elementos de memoria. El mérito a este dispositivo consistió en su menor complejidad en el diseño, mostrando así un avance en la nueva tecnología. Este dispositivo fue conocido como DM7575/DM8575.

1974 Monolithic Memories fabrica un dispositivo denominado PALA (Programmable Associative Logic Array) bajo el número de parte MMT 5760/6760 implementaba multiniveles y circuitos secuenciales de más de 100 compuertas e incorporó bajo acuerdo de General Electric innovaciones en el dispositivo de máscara programable. 1975 Intersil anuncia el IM5200 un FPLA; poco después, Signetics hace lo mismo con el 82S100 que logró encabezar la carrera de los PLD's durante un tiempo.

1978 En el verano de este año nace el dispositivo PAL, como un proyecto de MMI encabezado por John Birkner, en el que se pretendían satisfacer varias necesidades del mercado, entre ellas las de reemplazar la lógica estándar, mejorar los tamaños y la velocidad de los ya existentes; bajo esta idea los PAL invaden el mercado. El PAL que conocemos actualmente se basa en un diseño de H.T. Chua. MMI ofrece soporte para el manejo de los nuevos dispositivos en el "PAL Handbook" escrito por John Birkner y que en el mismo se acompañaba de un programa hecho en Fortran para ayudar a programar los dispositivos.

1980 Se propone y presenta el primer formato JEDEC para los PLD's.

1981 Signetics registra FPLA's con aplicaciones para máquinas de estados.

1982 En el verano de este año Bill Wiley Smith de Signetics crea una muestra de lo que sería el soporte para la programación de PLD's, llamado BEE (Boolean Equation Entry); cuyas características eran las Ecuaciones Booleanas, notación de estados, tablas de verdad, minimización lógica en forma automática así como la simulación de los diseños. En diciembre de este año se anuncia el proyecto ABEL (Advanced Boolean Expression Language) para un número limitado de PLD's de diferentes manufacturas y que fue un Software muy bien recibido por el mercado. Se crea otra herramienta denominada CUPL (Common Universal tool for Programmable Logic) desarrollado por Bob Osann de Assited Technology.

1983 En Marzo se crea una segunda versión de CUPL soportando a todos los PAL's soportados por PALASM y un número limitado de FPLAS combinacionales de Signetics con características similares al BEE. Poco después surge la segunda versión de ABEL que soportaba virtualmente a todos los PLD's de esa época y esto toma por sorpresa a los diseñadores de otras herramientas de Software. En seguida National Semiconductor lanza el Software llamado PLAN (Programmable Logic Analysis by National). Cypress Semiconductor crea un PAL que se hace popular por su alta velocidad. Lattice Semiconductor compañía especializada en tecnología borrable CMOS crea un PAL borrable eléctricamente al que llamaron Generic Array Logic o GAL, pero esta compañía tuvo problemas legales con MMI hoy parte de AMD quién obtuvo el derecho de producir el GAL pero bajo otro nombre, en seguida Lattice crea el GAL 39V18 conocido hoy como Lattice 6001.

1983 International CMOS Technology (I.C.T.) desarrolla un dispositivo llamado PEEL (Programmable Electrically Erasable Logic) con tecnología de Lattice y fue llevado a primera producción en 1986.

1984 Se anuncia un nuevo concepto en cuanto a la tecnología de los PLD's y es encabezado por Xilinx Corporation, el dispositivo desarrollado es el LCA (Logic Cell Array) compuesto de pequeñas celdas lógicas, similares a la arquitectura de una PROM, donde cada celda es capaz de crear cuatro o cinco funciones de entrada y dos de salida. Poco después Exel Microelectronic's crece el XL78C800 Erasic, este dispositivo creado bajo arreglo de multiniveles de lógica y tardo aún más el diseño del Software y programación en estar disponible.

1988 Actel Corporation introduce un FPGA diferente al de los dispositivos de Xilinx. El Act 1 de densidad comparable al arreglo de compuertas de máscara programable al igual que el LCA requiere de el trazado de rutas de funciones lógicas para ser usado efectivamente.

1989 Plessey Semiconductor introduce un FPGA con características similares, pero con una mejor arquitectura.

1995 Lattice Semiconductor Corporation, anuncia el 7 de Agosto, la introducción de WorldÆ fastest 3.3 Volt 22V10, cuya máxima velocidad de operación es de 7.5 ns (133.33 Mhz). Que permite la utilización del dispositivo con baterías.

Lattice Semiconductor Corporation, anuncia una actualización para los Programadores Universales en septiembre de ese año. La actualización responde a que sus nuevos productos, el GAL16LV8D-3LJ y el GAL16V8D-5LJ son lanzados al mercado. Las nuevas cualidades de estos dispositivos son: velocidades desde 3.5 ns (286 Mhz); además de operar a un voltaje de alimentación de 3.3 Volts.

¿Qué es un GAL?

Son las iniciales de **Generic Array Logic** y que en nuestro Idioma significa *Arreglo Lógico Genérico*. Y se trata de la 4ª generación de PAL's, capaces de funcionar en modo combinacional y/o secuencial; además, de superar a sus antecesores en cuanto a tecnología programable se refiere, ya que estos son capaces de reprogramarse hasta un mínimo de 100 veces; aunque, esto depende también del fabricante. Les llamo la 4ª generación de PAL's debido a que:

La **1ª Generación** corresponde a los PAL's comunes creados por AMD (Advanced Micro Devices), y que son programables una sola vez y que emplean tecnología PROM de fusible Titanio-Tungsteno.

La **2ª Generación** correspondería a los PAL creados con arquitectura "V" (Variable); pero, programables una sola vez. Esta designación es apoyada por Texas Instruments.

La **3ª Generación** será aquella que permite la ventaja de la arquitectura "V"; con tecnología EPROM y borrado con rayos U.V.

La **4ª Generación** es la propia del GAL que conocemos actualmente, arquitectura "V"; pero, con tecnología EEPROM. Creada en forma casi simultánea por AMD y LATTICE.

Se sabe cual es la diferencia entre arquitecturas ROM, PLA, PAL y sus planos programables, ya que se habló de esto en la introducción, pero no será suficiente para formarse una idea de lo que es un PAL a nivel comercial, mucho menos un GAL.

Y Para tener una imagen precisa del funcionamiento del GAL, se iniciará dando un vistazo a los PAL; esto permitirá entender las distintas configuraciones que cada GAL puede adoptar y así comprender el ¿Por qué? algunos de ellos como el GAL16V8 y el GAL20V8, son capaces de emular a casi todos los PAL; además, de obtener una visión completa y bien formada de lo que se puede lograr con estos dispositivos que nos ocupan, los GAL.

La razón principal de revisar la arquitectura de los PAL, antes que la del GAL es la siguiente:

"Los GAL, conservan algunas características propias de los PAL. Tan es así que los GAL's 16V8, 20V8, posteriormente el 20RA10 y el 22V10 fueron creados para reemplazar la mayoría de los PAL's existentes ya, en la época de los 80's y no solo eso; sino que los superaron".

Es natural que se piense en que se explicarán todos los PAL; pero, no es la finalidad primordial de esta tesis y solo se tomarán aquellos que de alguna manera, estén más interrelacionados en cuanto a comportamiento de los GAL se refiere.

ETIQUETAS

La lógica estándar (TTL's y CMOS) tiene etiquetas que nos ayudan a identificar el tipo de Circuito Integrado con el cual estamos trabajando, por ejemplo:

La etiqueta 74LS04 nos dice que se trata de un Circuito Integrado de la familia TTL y de la sub-familia Schottky de baja potencia, y que está compuesto de seis INVERSORES.

La etiqueta 4011 nos dice que se trata de un Circuito Integrado de la familia CMOS, y que está compuesto por cuatro compuertas NAND.

De la misma forma los dispositivos PAL y GAL tendrán etiquetas que nos ayudaran a identificar los Circuitos Integrados fácil y rápidamente. La nomenclatura general de estos dispositivos se muestra en la siguiente

Lattice Semiconductor Corporation, anuncia una actualización para los Programadores Universales en septiembre de ese año. La actualización responde a que sus nuevos productos, el GAL16LV8D-3LJ y el GAL16V8D-5LJ son lanzados al mercado. Las nuevas cualidades de estos dispositivos son: velocidades desde 3.5 ns (286 Mhz); además de operar a un voltaje de alimentación de 3.3 Volts.

¿Qué es un GAL?. Son las iniciales de Generic Array Logic y que en nuestro Idioma significa Arreglo Lógico Genérico. Y se trata de la 4

a

generación de PAL's, capaces de funcionar en modo combinacional y/o secuencial; además, de superar a sus antecesores en cuanto a tecnología programable se refiere, ya que estos son capaces de reprogramarse hasta un mínimo de 100 veces; aunque, esto depende también del fabricante. Les llamo la 4

a

ge

neración de PAL's debido a que:

La 1

a

Generación corresponde a los PAL's comunes creados por AMD (Advanced Micro Devices), y que son programables una sola vez y que emplean tecnología PROM de fusible Titanio-Tungsteno.

La 2

a

Generación correspondería a los PAL creados con arquitectura "V" (Variable); pero, programables una sola vez. Esta designación es apoyada por Texas Instruments.

La 3

a

Generación será aquella que permite la ventaja de la arquitectura "V", con tecnología EPROM y borrado con rayos U.V.

La 4

a

Generación es la propia del GAL que conocemos actualmente, arquitectura "V"; pero, con tecnología EEPROM. Creada en forma casi simultánea por AMD y LATTICE.

Se sabe cual es la diferencia entre arquitecturas ROM, PLA, PAL y sus planos programables, ya que se habló de esto en la introducción, pero no será suficiente para formarse una idea de lo que es un PAL a nivel comercial, mucho menos un GAL.

Y Para tener una imagen precisa del funcionamiento del GAL, se iniciará dando un vistazo a los PAL; esto permitirá entender las distintas configuraciones que cada GAL puede adoptar y así comprender el ¿Por qué? algunos de ellos como el GAL16V8 y el GAL20V8, son capaces de emular a casi todos los PAL; además, de obtener una visión completa y bien formada de lo que se puede lograr con estos dispositivos que nos ocupan, los GAL.

La razón principal de revisar la arquitectura de los PAL, antes que la del GAL es la siguiente: "Los

GAL, conservan algunas características propias de los PAL. Tan es así que los GAL's 16V8, 20V8, posteriormente el 20RA10 y el 22V10 fueron creados para reemplazar la mayoría de los PAL's existentes ya, en la época de los 80's y no solo eso; sino que los superaron".

Es natural que se piense en que se explicarán todos los PAL; pero, no es la finalidad primordial de esta tesis y solo se tomarán aquellos que de alguna manera, estén más interrelacionados en cuanto a comportamiento de los GAL se refiere.

ETIQUETAS La lógica estándar (TTL's y CMOS) tiene etiquetas que nos ayudan a identificar el tipo de Circuito Integrado con el cual estamos trabajando, por ejemplo:

La etiqueta 74LS04 nos dice que se trata de un Circuito Integrado de la familia TTL y de la sub- familia Schottky de baja potencia, y que está compuesto de seis INVERSORES.

La etiqueta 4011 nos dice que se trata de un Circuito Integrado de la familia CMOS, y que está compuesto por cuatro compuertas NAND.

De la misma forma los dispositivos PAL y GAL tendrán etiquetas que nos ayudaran a identificar los Circuitos Integrados fácil y rápidamente. La nomenclatura general de estos dispositivos se muestra en la siguiente

página.

Cabe hacer las siguientes aclaraciones:

- El orden de las etiquetas en la nomenclatura mostrada, puede verse afectada según del fabricante que se trate.
- Pueden aparecer etiquetas que se presten a confusión.
- Habrán etiquetas que no aparezcan dentro de la nomenclatura. Por ejemplo:

EL **TIBPAL16L8-15CN**; es un PAL de Texas Instruments, donde:

TI = Texas Instruments. Aclaración c).
B = Tecnología de Fusible bipolar. Aclaración c).
PAL = Programmable Array Logic.
16 = Con 16 entradas al Arreglo.
L = Con salidas activas en bajo.
8 = Con 8 salidas de configuración "L".
-15 = Tiempo de retardo "15 ns". Aclaración c).
C = Rango de Temperatura "Comercial". Aclaración a). N = Tipo de Empaque Plástico tipo DIP.
El **PALCE16V8**; es un GAL de AMD/MMI, donde:

PAL = Programmable Logic Array. Aclaración c) y b).
C = Tecnología de Fusible CMOS.
E = Erasable "Borrable".
16 = Con 16 entradas al Arreglo.
V = Con salidas Variables "Programables".
8 = Con 8 salidas de configuración "V".

En el caso del PAL de Texas Instruments, quedan claras las notas; pero, en el caso del PALCE de AMD/MMI se puede prestar a confusión; debido a que, la primer etiqueta nos habla de un PAL. Sin embargo, la "V" nos dice que se trata de un GAL y está es la forma más eficaz hasta el momento, de identificar dicho dispositivo como tal. El mismo caso se presenta con el fabricante Texas Instruments debido a que utiliza las siguientes etiquetas para describir a un GAL de 22 entradas y 10 salidas variables y programables como lo es el TIBPAL22VP10-20C. La mayoría de las ocasiones la primer etiqueta hace mención a PAL o un GAL, pero cada fabricante podrá tener su propia etiqueta, y donde de seguro se imprimirá el sello de la compañía que lo fabrique.

NOMENCLATURA

Tecnología de la Familia:

PAL = Programmable Array Logic (TTL) GAL = Generic Array Logic (EECMOS) PAL10 = 10KH ECL PAL
PAL100 = 100K ECL PAL

Número de Entradas al Arreglo

Tipo de Salida:

L = Activa Baja
H = Activa Alta
C = Complementaria
R = Con Registro
X = Con Registro precedido por una OR-Exclusiva
P = Polaridad Programable
RA = Con Registros Asincrónicos
V = Variable (solamente en GAL's)
Z = En sistemas reprogramables (solamente en GAL's) RD = Registros con doble reloj (solamente ECL)
RC = Registros con reloj común (solamente ECL)
RM = Registros con múltiples relojes (solamente ECL) LD = Con Latch y habilitador doble (solamente ECL)
LM = Con Latch y habilitador múltiple (solamente ECL)

Número de Salidas con Registro/Latch (o simplemente salidas) Velocidad/Potencia de la Serie:

página.

Cabe hacer las siguientes aclaraciones:

a) El orden de las etiquetas en la nomenclatura mostrada, puede verse afectada según del fabricante que se trate. b) Pueden aparecer etiquetas que se presten a confusión. c) Habrá etiquetas que no aparezcan dentro de la nomenclatura. Por ejemplo:

EL TIBPAL16L8-15CN; es un PAL de Texas Instruments, donde:

TI = Texas Instruments. Aclaración c). B = Tecnología de Fusible bipolar. PAL = Programmable Array Logic. 16 = Con 16 entradas al Arreglo. L = Con salidas activas en bajo. 8 = Con 8 salidas de configuración "L". -15 = Tiempo de retardo "15 ns". Aclaración c).

C = Rango de Temperatura "Comercial". Aclaración a). N = Tipo de Empaque Plástico tipo DIP. El PALCE16V8; es un GAL de AMD/MMI, donde:

PAL = Programmable Logic Array. Aclaración c) y b). C = Tecnología de Fusible CMOS. E = Erasable "Borrable". 16 = Con 16 entradas al Arreglo. V = Con salidas Variables "Programables". 8 = Con 8 salidas de configuración "V".

En el caso del PAL de Texas Instruments, quedan claras las notas; pero, en el caso del PALCE de AMD/MMI se puede prestar a confusión; debido a que, la primer etiqueta nos habla de un PAL. Sin embargo, la "V" nos dice que se trata de un GAL y está es la forma más eficaz hasta el momento, de identificar dicho dispositivo como tal. El mismo caso se presenta con el fabricante Texas Instruments debido a que utiliza las siguientes etiquetas para describir a un GAL de 22 entradas y 10 salidas variables y programables como lo es el TIBPAL22VP10-20C. La mayoría de las ocasiones la primer etiqueta hace mención a PAL o un GAL, pero cada fabricante podrá tener su propia etiqueta, y donde de seguro se imprimirá el sello de la compañía que lo fabrique.

NOMENCLATURA

Tecnología de la Familia:

PAL = Programmable Array Logic (TTL) GAL = Generic Array Logic (EECMOS) PAL10 = 10KH ECL PAL
PAL100 = 100K ECL PAL

Número de Entradas al Arreglo

Tipo de Salida: L = Activa Baja H = Activa Alta C =
Complementaria R = Con Registro X = Con Registro precedido por una OR-Exclusiva P = Polaridad
Programable RA = Con Registros Asincrónicos V = Variable (solamente en GAL's) Z = En sistemas
reprogramables (solamente en GAL's) RD = Registros con doble reloj (solamente ECL) RC = Registros
con reloj común (solamente ECL) RM = Registros con múltiples relojes (solamente ECL) LD = Con Latch
y habilitador doble (solamente ECL) LM = Con Latch y habilitador múltiple (solamente ECL)

Número de Salidas con Registro/Latch (o simplemente salidas) Velocidad/Potencia de la Serie:

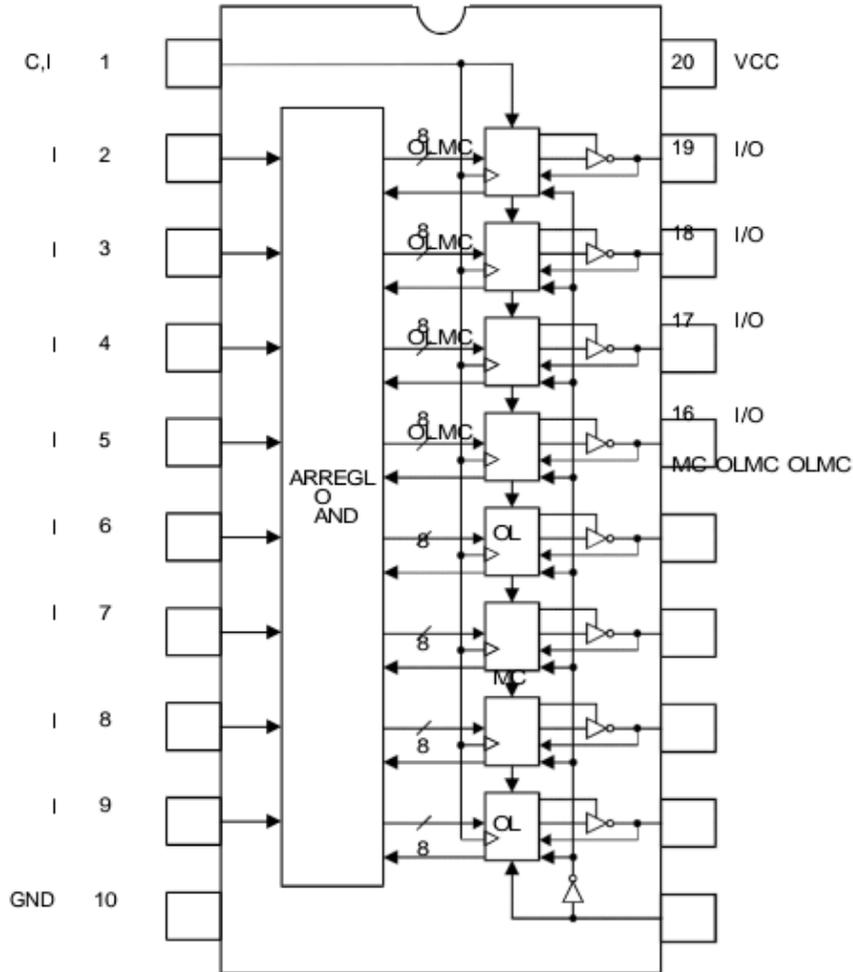
Sin Símbolo = 35 ns (TTL); 6 ns (ECL) A = 25 ns (TTL); 4 ns (ECL)
 A2 = 35 ns, Mediana Potencia (TTL) B = 15 ns (TTL)
 B2 = 25 ns, Mediana Potencia (TTL) D = 10 ns (TTL, Fusible Vertical)
 -20L = 20 ns, Mediana Potencia (GAL)
 -25L = 25 ns, Mediana Potencia (GAL)
 -25Q = 25 ns, Un Cuarto de Potencia (GAL)
 -30L = 30 ns, Mediana Potencia (GAL)
 -30Q = 30 ns, Un Cuarto de Potencia (GAL) A-10 = 10 ns, Mediana Potencia (GAL)
 A-12 = 12 ns, Mediana Potencia (GAL)
 A-15 = 15 ns, Mediana Potencia (GAL) A-20 = 20 ns, Mediana Potencia (GAL)

Tipo de Empaque:

N = Plástico tipo DIP (Dual In Line Package) J = Cerámico tipo DIP
 V = PLCC (Plastic Leaded Chip Carrier) W = Quad Cerpak (ECL)

GAL16V8

A continuación se muestra un diagrama a bloques de la Estructura Interna del GAL16V8 en presentación DIP (Dual In Line Package).



Sin Símbolo = 35 ns (TTL); 6 ns (ECL) A = 25 ns (TTL); 4 ns (ECL) A2 = 35 ns, Mediana Potencia (TTL) B = 15 ns (TTL) B2 -20L = = 25 20 ns, ns, Mediana Mediana Potencia Potencia (TTL) (GAL)

D = 10 ns (TTL, Fusible Vertical)

-25L = 25 ns, Mediana Potencia (GAL) -25Q = 25 ns, Un Cuarto de Potencia (GAL) -30L = 30 ns, Mediana Potencia (GAL) -30Q A-12 = = 12 30 ns, ns, Mediana Un Cuarto Potencia de Potencia (GAL)

(GAL) A-10 = 10 ns, Mediana Potencia (GAL)

A-15 = 15 ns, Mediana Potencia (GAL) A-20 = 20 ns, Mediana Potencia (GAL)

Tipo de Empaque: N = Plástico tipo DIP (Dual In Line Package) J = Cerámico tipo DIP V = PLCC (Plastic Leaded Chip Carrier) W = Quad Cerpak (ECL)

GAL16V8 A continuación se muestra un diagrama a bloques de la Estructura Interna del GAL16V8 en presentación DIP (Dual In Line Package).

C, I 1

I 2

8

20 VCC

19 I/O

18 I/O

17 I/O

16 I/O

I 6

I 7

I 8

I 9

GND 10

OLMC

I 3

OLMC

8

I 4

OLMC

8

I 5

OLMC

8

ARREGL

O AND

MC OLMC OLMC

8

8

8

8

OL

MC

OL