



RENCANA PEMBELAJARAN SEMESTER (RPS)
PROGRAM STUDI S.Tr. TEKNIK LISTRIK INDUSTRI
SEKOLAH VOKASI
UNIVERSITAS DIPONEGORO

Kode Mata Kuliah	Nama Mata Kuliah		Bobot SKS	Semester	Status Mata Kuliah	Mata Kuliah Prasyarat
VTL2624310	Praktik Elka Digital		2	3	Wajib	-
Otoritas	Dosen Penyusun RPS	Koordinator GPM	Ketua Prodi		Dekan Sekolah Vokasi	
	Yuniarto, ST, MT NIP. 197106151998021001	Ir. Saiful Manan, M.T. NIP. 196104221987031001	Arkhan Subari, S.T, M.Kom NIP. 197710012001121002		Prof. Dr. Ir. Budiyo, M.Si. NIP. 196602201991021001	
Deskripsi Singkat Mata Kuliah	Setelah mengikuti mata kuliah ini mahasiswa memahami penerapan rangkaian elektronika digital melalui proses merangkai dan menguji beberapa rangkaian elektronika digital yang telah disiapkan dalam kegiatan praktikum.					
Capaian Pembelajaran Lulusan (CPL) yang Dibebankan pada MK	CPL2	Mampu memahami penerapan rangkaian elektronika digital melalui proses merangkai dan menguji beberapa rangkaian elektronika digital yang telah disiapkan dalam kegiatan praktikum dalam keteknikan untuk untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip sistem ketenagalistrikan.				

Capaian Pembelajaran Mata Kuliah (CPMK)		Setelah menyelesaikan pembelajaran mata kuliah ini, mahasiswa diharapkan mampu:								
		CPMK 1	Mampu menggunakan prinsip, teori, sains, dan teknik yang dipelajari serta mampu memahami penerapan rangkaian elektronika digital melalui proses merangkai dan menguji beberapa rangkaian elektronika digital yang telah disiapkan dalam kegiatan praktikum. untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip sistem ketenagalistrikan							
1	2	3	4				5	6	7	
Mingg u ke	Kemampuan Akhir tiap tahapan pembelajaran	Bahan Kajian/ Pokok Bahasan	Metode Pembelajaran				Waktu	Pengalaman Belajar Mahasiswa	Penilaian	
			TM	PBL	CBL	PBjL			Kriteria & Indikator	Bobot (%)
1	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Gerbang logika dasar	Gerbang logika dasar	TM SCL: Merangkai dan menguji Gerbang logika dasar				TM: 1 x (2 x 50'') BT + BM = 1 x [(2 x 50'') + (2 x 60'')]	Gerbang logika dasar	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
2	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Gerbang logika kombinasi	Gerbang logika kombinasi	TM SCL: Merangkai dan menguji Gerbang logika kombinasi				TM: 1 x (2 x 50'') BT + BM = 1 x [(2 x 50'') + (2 x 60'')]	Gerbang logika kombinasi	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
3	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji RS flip flop	RS flip flop	TM SCL: Merangkai dan menguji RS flip flop				TM: 1 x (2 x 50'') BT + BM = 1 x [(2 x 50'') + (2 x 60'')]	RS flip flop	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%

4	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji D flip flop	D flip flop	PB SCL: Merangkai dan menguji D flip flop	TM: 1 x (2 x 50'') BT + BM = 1 x [(2 x 50'') + (2 x 60'')]	D flip flop	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
5	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji JK flip flop	JK flip flop	PBL SCL: Merangkai dan menguji JK flip flop	TM: 1 x (2 x 50'') BT + BM = 1 x [(2 x 50'') + (2 x 60'')]	JK flip flop	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
6	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Multivibrator	Multivibrator	CBL SCL: Merangkai dan menguji Multivibrator	TM: 1 x (2 x 50'') BT + BM = 1 x [(2 x 50'') + (2 x 60'')]	Multivibrator	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
7	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Shift register	Shift register	PBJL SCL: Merangkai dan menguji Shift register	TM: 1 x (2 x 50'') BT + BM = 1 x [(2 x 50'') + (2 x 60'')]	Shift register	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
8	Ujian Tengah Semester (UTS)						
9	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat:	Pencacah maju	TM SCL: Merangkai dan menguji Pencacah maju	TM: 1 x (2 x 50'') BT + BM =	Pencacah maju	- Mahasiswa menyelesaikan Modul Latihan dan tugas	5%

	Merangkai dan menguji Pencacah maju			$1 \times [(2 \times 50'') + (2 \times 60'')]$		minimal 80% benar	
10	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Pencacah mundur	Pencacah mundur	PBL, CBL SCL: Merangkai dan menguji Pencacah mundur	TM: $1 \times (2 \times 50'')$ BT + BM = $1 \times [(2 \times 50'') + (2 \times 60'')]$	Pencacah mundur	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
11	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Multiplexer	Multiplexer	CBL, PBjL SCL: Merangkai dan menguji Multiplexer	TM: $1 \times (2 \times 50'')$ BT + BM = $1 \times [(2 \times 50'') + (2 \times 60'')]$	Multiplexer	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
12	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Demultiplexer	Demultiplexer	PBjL SCL: Merangkai dan menguji Demultiplexer	TM: $1 \times (2 \times 50'')$ BT + BM = $1 \times [(2 \times 50'') + (2 \times 60'')]$	Demultiplexer	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	5%
13	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Analog to digital konverter	Analog to digital konverter	PBjL SCL: Merangkai dan menguji Analog to digital konverter	TM: $1 \times (2 \times 50'')$ BT + BM = $1 \times [(2 \times 50'') + (2 \times 60'')]$	Analog to digital konverter	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	15%

14	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Digital to analog konverter	Digital to analog konverter	PBJL SCL: Merangkai dan menguji Digital to analog konverter	TM: 1 x (2 x 50") BT + BM = 1 x [(2 x 50") + (2 x 60")]	Digital to analog konverter	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	15%
15	CPMK1 Setelah mengikuti mata kuliah ini mahasiswa dapat: Merangkai dan menguji Aplikasi sistem digital	Aplikasi sistem digital	PBJL SCL: Merangkai dan menguji Aplikasi sistem digital	TM: 1 x (2 x 50") BT + BM = 1 x [(2 x 50") + (2 x 60")]	Aplikasi sistem digital	- Mahasiswa menyelesaikan Modul Latihan dan tugas minimal 80% benar	15%
16	Ujian Akhir Semester (UAS)						
8. Daftar Referensi:		1. Sabir Kumar Sakar, Asish Kumar De, Souvik Sarkar, "Foundation Of Digital Electronic and Logic Design". 2. Daniel Adam Stek, "Analog and Digital Electronics", 3rd edition. 3. Palnitkar, Samit, "Verilog A guide to digital design", 2nd Edition, Prentice Hall, 2003. 4. Brown, Stephen, Vranesic, Zvonko, "Fundamental of digital logic with verilog design", McGraw-Hill, 2003. 5. Enoch. O. Hwang, "Digital Logic And Microprocessor Design With VHDL", Team ELECTRONIX, 2004 .					

Metode Penilaian dan Keselarasan dengan CPMK	Teknik Penilaian	Persentase Penilaian	Kriteria/ Indikator	CPMK 1				
	Tugas Individu	30%		√				
	Project/case study	40%		√				