Modul 3 (Laporan Akhir 1)

[KEMBALI KE MENU SEBELUMNYA]

DAFTAR ISI

1. Jurnal

2. Alat dan Bahan

3. Rangkaian Simulasi

4. Prinsip Kerja Rangkaian

5. Video Rangkaian

6. Analisa

7. Link Download

 1. Jurnal

[Kembali]

2. Alat dan Bahan

[Kembali]
 <div style="background-color: white; border: 0px none; box-sizing: border-box; color: #444444; font-family: "open sans", arial, helvetica, sans-serif; font-size: 15px; margin: 0px; padding: 0px;"> a. Panel DL2203D b. Panel DL2203S c. Panael DL2203C <table align="center" cellpadding="0" cellspacing="0" class="tr-caption-container" style="margin-bottom: 0.5em; margin-left: auto; margin-right: auto; padding: 4px; position: relative;"><tbody><tr><td style="text-align: center;"></td></tr><tr><td class="tr-caption" style="font-size: 12.8px; text-align: center;">Module D'Lorenzo</td></tr></tbody></table>
 <table align="center" cellpadding="0" cellspacing="0" class="tr-caption-container" style="margin-bottom: 0.5em; margin-left: auto; margin-right: auto; padding: 4px; position: relative;"><tbody><tr><td style="text-align: center;"><a href="https://blogger.googleusercontent.com/img/b/R29vZ2xl/AVvXsEiklYaBnA8hm8Z2c8PzVgQjFJcit

D0_Yd78d1WsHfq_TVyzf_u29HRbTEUWo8ZM47TNDIIkAcM2nz8y8ATKhEuoAcytcGcUiC00PrT3Oxpcu-ZT4I_QDXDdJjY21vLujFdt3OyBKXBIdK8Bk5ZxGQeNUyw07fnmTWyiD88H5V6a29qPEDQFiAo1dnarrA/s363/image_2022-03-18_085850.png" style="color: #ff9900; margin-left: auto; margin-right: auto; text-decoration-line: none;"><img border="0" data-original-height="277" data-original-width="363" height="240"
src="https://blogger.googleusercontent.com/img/b/R29vZ2xl/AVvXsEiklYaBnA8hm8Z2c8PzVgQjFJcitD0_Yd78d1WsHfq_TVyzf_u29HRbTEUWo8ZM47TNDIIkAcM2nz8y8ATKhEuoAcytcGcUiC00PrT3Oxpcu-ZT4I_QDXDdJjY21vLujFdt3OyBKXBIdK8Bk5ZxGQeNUyw07fnmTWyiD88H5V6a29qPEDQFiAo1dnarrA/w313-h240/image_2022-03-18_085850.png" style="border: none; position: relative;" width="313" /></td></tr><tr><td class="tr-caption" style="font-size: 12.8px; text-align: center;">Jumper</td></tr></tbody></table> <div class="separator" style="background-color: white; border: 0px none; box-sizing: border-box; clear: both; color: #444444; font-family: "open sans", arial, helvetica, sans-serif; font-size: 15px; margin: 0px; padding: 0px;"> <br style="box-sizing: border-box;" /> e. IC 74LS112 (JK filp flop) <br style="box-sizing: border-box;" /> <a
href="https://blogger.googleusercontent.com/img/b/R29vZ2xl/AVvXsEhl1aKMaltSdBDhiN3dz2pUkTDxQWZApRpJi4R6UldyEuiDfS8FytTiXgJ0RP1BdS9ZxJYxZr4tWL-LP4z7owDhDHMP2zXr7DOsTGt7nmL26HZWS9mXASYvd6R8sFjDgsTTl-_L85kXyP0ox0awhzgl1MZGMxKWrS9rpoJtlEIGY0Kd1fVYy6iqfBtYHQ/s225/ic%2074LS112A.jpg" style="margin-left: 1em; margin-right: 1em;"><img border="0"
data-original-height="225" data-original-width="225" height="225"
src="https://blogger.googleusercontent.com/img/b/R29vZ2xl/AVvXsEhl1aKMaltSdBDhiN3dz2pUkTDxQWZApRpJi4R6UldyEuiDfS8FytTiXgJ0RP1BdS9ZxJYxZr4tWL-LP4z7owDhDHMP2zXr7DOsTGt7nmL26HZWS9mXASYvd6R8sFjDgsTTl-_L85kXyP0ox0awhzgl1MZGMxKWrS9rpoJtlEIGY0Kd1fVYy6iqfBtYHQ/s1600/ic%2074LS112A.jpg" width="225" />

 f. Switch (SW-SPDT) <br style="box-sizing: border-box;" /> <a
href="https://blogger.googleusercontent.com/img/b/R29vZ2xl/AVvXsEhrjm5y7il0DdhUTFJkPlZ8xwrF_TEtWFEDzxQA7ymv6SC5JAxRqcubeB1KzKn_1x5vdEQCw1l8XP92AYJxhMOFxMLm-QQuxxzrts0LG_9QEvqiTVPcfG5gO91nJYqvKJQx-f1kEhYHjiJmt4v84hvA3iHEiYL03v7LWm7Z40TOtklPAes8MVQqtwJg/s177/image_2022-03-23_125850.png" style="border: 0px none; box-sizing: border-box; color: #597e00; margin: 0px 1em; padding: 0px; text-decoration-line: none; transition: all 0.3s ease 0s;"><img
border="0" data-original-height="177" data-original-width="177" height="177"

src="https://blogger.googleusercontent.com/img/b/R29vZ2xl/AVvXsEhrjm5y7il0DdhUTFJkPlZ8xwrF_TEtWFEDzxQA7ymv6SC5JAxRqcubeB1KzKn_1x5vdEQCw1l8XP92AYJxhMOFxMLm-QQuxxzrts0LG_9QEvqiTVPcfG5gO91nJYqvKJQx-f1kEhYHjiJmt4v84hvA3iHEiYL03v7LWm7Z40TOtklPAes8MVQqtwJg/s1600/image_2022-03-23_125850.png" style="background-attachment: initial; background-clip: initial; background-image: initial; background-origin: initial; background-position: initial; background-repeat: initial; background-size: initial; border: medium none; box-shadow: rgba(0, 0, 0, 0.1) 1px 1px 5px; box-sizing: border-box; margin: 0px; max-width: 100%; padding: 0px; position: relative;" width="177" /> Switch
 <br style="box-sizing: border-box;" /> g. Power Supply <br style="box-sizing: border-box;" /> h. Logicprobe atau LED Logic Probe

3. Rangkaian Simulasi

[Kembali]

 gambar rangkaian pada percobaan 1 menggunakan De Lorenzo

 gambar rangkaian pada percobaan 1 menggunakan proteus
 4. Prinsip Kerja Rangkaian

[Kembali]

 Pada percobaan 1 ini, menggunakan rangkaian counter asyncronous, dimana vcc mengaliri switch SPDT ketika switch SPDT berlogika 1, dan juga mengaliri input J dan K pada Flip Flop yang pertama dan input CLK dihubungkan ke clock. arus dari SPDT dialirkan menuju setiap input RS pada setiap flip flop dan input JK pada setiap flip flop berikutnya. sedangkan input CLK pada setiap flip flop setelah flip flop pertama dihubungkan dengan input Q atau pun Q' Flip Flop sebelumnya, sehingga perubahan logic probe pada setiap outpiakan bergulir.
 Ketika CLK Flip flop dihubungkan ke Q flip flop sebelumnya maka akan terangkai counter UP, dimana Logic Probe akan berubah dari nilai desimal terkecil (0) hingga ke nilai desimal maksimal
 Ketika CLK Flip flop dihubungkan ke Q' flip flop sebelumnya maka akan terangkai counter Down, dimana Logic Probe akan berubah dari nilai desimal maksimal hingga ke nilai desimal terkecil.
 5. Video Rangkaian

[Kembali]
 <iframe allowfullscreen="" class="BLOG_video_class" height="266" src="https://www.youtube.com/embed/Gci_rLuzBNQ" width="320" youtube-src-id="Gci_rLuzBNQ"></iframe>
 video penjelasan rangkaian percobaan 1

 6. Analisa

[Kembali]

Soal analisa yang diberikan ada 2 buah yakni: 1. Analisa output percobaan berdasarkan ic yang digunakan? jawab: Pada percobaan 1 ini IC yang di gunakan adalah IC 741512 dimana ini adalah JK Flip Flop. Outuputnya didapatkan pada saat clocknya fault time, terjadi perubahan bit dari 1 ke 0. Hal ini terjadi kerena inputan J dan K itu bernilai 1 dimana outputnya toggle. sehingga output tersebut berpindah setiap terjadi perubahan bit dari 1 ke 0 pada clock

 2. Analisa sinyal output yang dikeluarkan jk flipflop kedua dan ketiga? jawab: Pada percobaan 1 ini, rangkainnya merupakan rangkaian asyncronous diamana, untuk rangkaian nya dipasang secara seri, JK flip flop kedua itu inputan clocknya berasal dari outpuut JK flip flop pertama, sehingga JK flip flop kedua ini harus menunggu hasil outputan JK flip flop pertama.
     Begitu pun untuk Jk flip flop ketiga, dia harus menunggu outputan dari JK flip flop kedua untuk dimasukan ke inputan clock Jk flip flop ketiga. Hal ini terjadi karena percobaan 1 itu asyncronous dimana outputnya itu sendiri seri jadi percobaannya menghasilkan output yang agak lama karena harus saling menunggu output sebelumnya

 7. Link Download

[Kembali]
 Download HTML Donwload Rangkaian Simulasi disini Download Video Simulasi <a

href="https://drive.google.com/file/d/1b6kp983sQGAsLt3MgNWxjqx5pbdpDEAu/view?usp=drivesdk
">disini Download Datasheet ic 74LS112A
<a
href="https://drive.google.com/uc?export=download&id=1bdcM6Pb3EKRzd9NIhnB3Ec9gRfXN0
mpp" style="font-family: arial;">disini Download
Datasheet SW-SPDT <a
href="https://drive.google.com/file/d/1VWHJJZOlnXpCAR0Pu5b2IVRpR3EGjWab/view?usp=sharing"
>disini

