

[illegible]

inherit;"> Percobaan 1 Kondisi 4</p></div><blockquote style="border: none; margin: 0px 0px 0px 40px; padding: 0px; text-align: justify;"><p style="text-align: left;">Pada rangkaian ini terdiri atas 4 buah RS flip flop yang saling terhubung (dapat dilihat pada gambar diatas). Rangkaian ini merupakan rangkaian counter Asynchronous, karena pada rangkaian ini menggunakan masukan untuk sinyal clock sebelumnya. </p><p>Rangkaian ini merupakan rangkaian counter Asynchronous output 4 bit dimana terdiri dari 4 buah RS FF dimana masing FF itu menyatakan satu bit. Pada rangkaian input bernilai 1 dihubungkan ke kaki R-S FF, dimana R-S pada rangkaian yaitu active low dimana jika input berlogika 0 baru aktif. Karena pada rangkaian inputnya bernilai 1 maka tidak aktif, sehingga hasil outputnya bergantung pada input CLK ketika fall time. Dimana kaki CLK pada FF pertama dihubungkan dengan DCLOCK dan input untuk CLK FF selanjutnya dihubungkan dengan output FF sebelumnya. Semua output Q pada rangkaian dihubungkan dengan logic probe yang mana menghasilkan output bilangan biner 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1001, 1010, 1011, 1100, 1101, 1110, 1111. </p></blockquote><div> </div></div><div>5. Link Download [kembali]</div><div><div style="background-color: white;"> Link Download Rangkaian Percobaan 1 kondisi 4 [disini]</div><div style="background-color: white;"> Link Download Video Percobaan 1 kondisi 4 [disini]
</div><div style="background-color: white;"> Link Download HTML [disini]</div><div style="background-color: white;"> Link Download Datasheet [disini]</div></div>