

<div style="text-align: center;">

[KEMBALI KE MENU
SEBELUMNYA]</div>

<center>

<div style="background-color: white; border-color: rgb(23, 128, 221); border-image: none; border-style:
dashed; border-width: 2px; border: 2px dashed rgb(23, 128, 221); height: 240px; overflow: auto;
padding: 10px; text-align: center; width: 330px;">

DAFTAR ISI

<div style="text-align: left;">

1. Kondisi</div>

<div style="text-align: left;">

2. Gambar</div>

<div style="text-align: left;">

3. Video simulasi</div>

<div style="text-align: left;">

4. Prinsip kerja rangkaian</div>

<div style="text-align: left;">

5. Link download</div>

</div>

</center><p>

</p><div>
</div>1.

[](#)

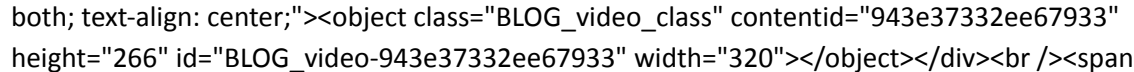
[\[Kembali\]<p></p><p>Percobaan 1 kondisi](#)

2.

[](#)

[\[Kembali\]</div><div> </div><div style="text-align: center;">
</div><div style="text-align: center;"><span
style="font-family: "times" , "times new roman" , serif;"><span
style="font-family: "times" , "times new roman" , serif; font-size:
small;"></div><div><span style="font-family: "times" , "times new
roman" , serif;"><span style="font-family: "times" , "times new roman" ,
serif; font-size: small;"> </div><div><span style="font-family:
"times" , "times new roman" , serif;"><span style="font-family:
"times" , "times new roman" , serif; font-size: small;">3. Video simulasi

[\[Kembali\]](#home)



 </div><div>4. Prinsip kerja rangkaian

[\[Kembali\]](#home)

Register (rangkaian geser) dimana disini menggunakan tipe SISO (serial in / serial out) dengan keluaran output 8

bit yang ditampilkan pada logicprobe. Pada rangkaian

ini, SW1 - SW8 terhubung ke kaki R dari masing-masing flip-flop, lalu pada SW9 terhubung ke salah satu kaki gerbang AND dan kaki satu nya lagi terhubung ke clock lalu keluarannya terhubung ke masing masing CLK dari

J-K flip-flop. Pada SW10 Juga terhubung ke kaki J dan K dari J-K

flip-flop yang pertama dimana sebelum terhubung ke kaki K diberikan gerbang NOT. dan yang terakhir, SW11 terhubung ke kaki S pada masing masing J-K

flip-flop.</div><div style="background-color: white; color: #222222;">Pada rangkaian shift register SISOmemiliki 1 input masukan yaitu pada J-K flip flop pertama dan 1 input keluaran pada J-K flip flop terakhir (ke-8). Proses kerja rangkaian ini yaitu pada kaki R dan S dari JK flip flop akan aktif jika diberi logika 0 sedangkan pada percobaan ini kakri R dan S berlogika 1 sehingga imput nya akan dipengaruhi oleh J,K dan CLK. pada percobaan ini kaki J berlogika 1 dan kaki K berlogika 0 sehingga terjadi kondisi set yang akan menyebabkan output Q akan berlogika 1 dan Q^ berlogika 0. lalu output pada JK flip flop yang pertama akan menjadi input bagi JK flip flop yang kedua dan seterusnya sampai Jk flip flop

